

# PATENT ABSTRACTS OF JAPAN

4

(11)Publication number : 07-066811

(43)Date of publication of application : 10.03.1995

(51)Int.Cl. H04L 12/28  
H04Q 3/00

(21)Application number : 05-210484

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.08.1993

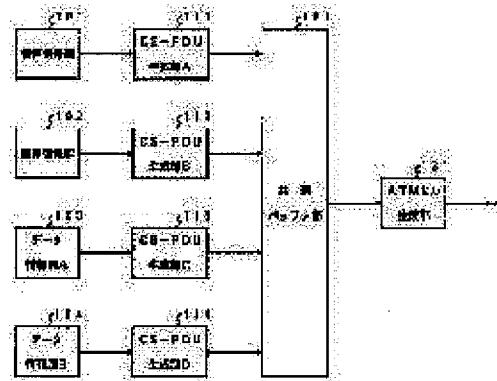
(72)Inventor : SAITO TAKESHI

## (54) ATM CELL ASSEMBLING UNIT AND ATM CELL DISASSEMBLING UNIT

### (57)Abstract:

**PURPOSE:** To reduce the quantity of the hardware by using a CS-PDU generating section, a common buffer section and an ATM cell generating section for components.

**CONSTITUTION:** A CS-PDU generating section 111 stores PCM coded information from a voice information source 101 to a common buffer 121 as it is. A CS-PDU generating section 112 stores coded information from a picture information source 102 to the common buffer. CS-PDU generating sections 113, 114 generate CS layer information with respect to burst information from data information sources 103, 104 and store it to the buffer 121 as a CP-PDU. The buffer 121 is an N-input 1-output memory and stores the CS-PDU from a pre-stage CS-PDU generating section tentatively as the common memory as to all input ports. The CS-PDU is inputted to the generating section 131 in matching with the timing of the ATM cell generating section 131 at the output side. Then an ATM cell providing an AAL/SAR layer header and an ATM layer header to the CS-PDU is sent therefrom.



特開平7-66811

(43)公開日 平成7年(1995)3月10日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
H 0 4 Q 3/00		8732-5K	H 0 4 L 11/ 20	E

審査請求 未請求 請求項の数4 O L (全 83 頁)

(21)出願番号 特願平5-210484

(22)出願日 平成5年(1993)8月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 斉藤 健

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

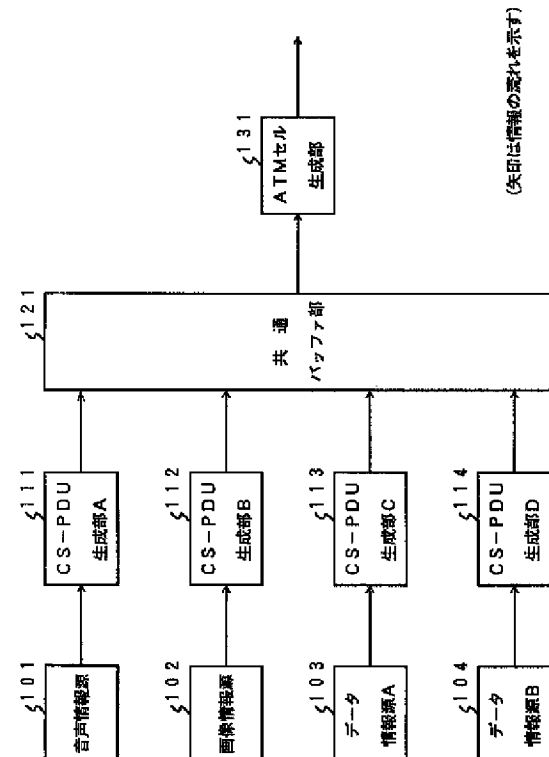
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 ATMセル化装置およびATMデセル化装置

(57)【要約】

【目的】 ATMセル化機構における各レイヤ処理装置やバッファ量などのハードウェアを削減したATMセル化装置を提供すること。

【構成】 本発明に係るATMセル化装置は、外部から入力されたデータを加工して、ATMアダプテーションレイヤ・コンバージェンスサブレイヤ・プロトコル・データ・ユニットを生成する少なくとも一つの第1のデータ生成手段と、前記第1のデータ生成手段から受け取ったデータを一時的に蓄積する蓄積手段と、前記蓄積手段からデータを受け取り、これにATMアダプテーションレイヤ・セグメンテーションアンドリアセンブリサブレイヤ・ヘッダおよびATMセルヘッダを付与してATMセルを生成するATMセル生成手段とを備えたことを特徴とする。



【特許請求の範囲】

【請求項 1】外部から入力されたデータを加工して、各種通信サービスと A T M との間の整合をとる A T M アダプテーションレイヤの上位処理を行う A T M アダプテーションレイヤ・コンバージェンスサブレイヤのprotocols・データ・ユニットを生成する少なくとも一つの第 1 のデータ生成手段と、

前記第 1 のデータ生成手段から受け取ったデータを一時的に蓄積する蓄積手段と、

前記蓄積手段からデータを受け取り、これに A T M アダプテーションレイヤ・セグメンテーションアンドリアセンブリサブレイヤ・ヘッダおよび A T M セルヘッダを付与して A T M セルを生成する A T M セル生成手段とを備えたことを特徴とする A T M セル化装置。

【請求項 2】外部から入力されたデータを加工して、各種通信サービスと A T M との間の整合をとる A T M アダプテーションレイヤの上位処理を行う A T M アダプテーションレイヤ・コンバージェンスサブレイヤのprotocols・データ・ユニットを生成する少なくとも一つの第 1 のデータ生成手段と、

前記データ生成手段からデータを受け取り、A T M セルへの分割および A T M セルからの組立を行う A T M アダプテーションレイヤ・セグメンテーションアンドリアセンブリサブレイヤのprotocols・データ・ユニットを生成する少なくとも一つの第 2 のデータ生成手段と、

前記第 2 のデータ生成手段から受け取ったデータを一時的に蓄積する蓄積手段と、

前記蓄積手段からデータを受け取り、これに A T M セルヘッダを付与して A T M セルを生成する A T M セル生成手段とを備えたことを特徴とする A T M セル化装置。

【請求項 3】外部から入力されたデータに対し、物理レイヤ処理および A T M レイヤ処理を施す A T M 処理手段と、

前記 A T M 処理手段から受け取ったデータを一時的に蓄積する蓄積手段と、

前記蓄積手段からデータを受け取り、A T M セルへの分割および A T M セルからの組立を行うセグメンテーションアンドリアセンブリサブレイヤ処理を実行する少なくとも一つの第 1 の処理手段と、

前記第 1 の処理手段からデータを受け取り、サービスに依存せずに共通的な処理を提供するコンバージェンスサブレイヤ処理を実行する少なくとも一つの第 2 の処理手段とを備えたことを特徴とする A T M デセル化装置。

【請求項 4】外部から入力されたデータに対し、物理レイヤ処理および A T M レイヤ処理を施す A T M 処理手段と、

前記 A T M 処理手段からデータを受け取り、A T M セルへの分割および A T M セルからの組立を行うセグメンテーションアンドリアセンブリサブレイヤ処理を実行する第 1 の処理手段と、

前記第 1 の処理手段から受け取ったデータを一時的に蓄積する蓄積手段と、

前記蓄積手段からデータを受け取り、サービスに依存せずに共通的な処理を提供するコンバージェンスサブレイヤ処理を実行する少なくとも一つの第 2 の処理手段とを備えたことを特徴とする A T M デセル化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、A T M 通信網における通信システム、特に A T M セル化装置および A T M デセル化装置に関する。

【0002】

【従来の技術】近年、画像通信、高速データ通信などの多様な通信の要求が高まり、効率的で柔軟性に富む通信サービスを提供するために通信網の統合化（B-I S D N）が望まれている。その実現方法として A T M 交換が有望視されている。この A T M 交換では、情報をその属性に関わらず、セルと呼ばれる固定長パケットにおさめ、このセルを交換の単位として用いることにより、通信サービスを実現しようというものである。

【0003】この A T M 交換を用いた通信方式（以下、A T M 通信と言う）では、伝達される情報は、その性質、属性に関わらず単一の伝送路上に多重される。即ち音声、画像に代表されるリアルタイム通信データや、データ通信に代表される蓄積型データ、あるいは狭帯域データと広帯域データ、コネクションオリエンテッドデータとコネクションレスデータなどが単一の伝送路上にラベル多重される形で通信が行なわれる。

【0004】この A T M 通信と並行して、近年マルチメディア技術が脚光を浴びている。これは文字どおり、音声、映像あるいはコンピュータデータなど多彩なメディアを統合する技術であり、マルチメディアパーソナルコンピュータなど既にいくつかの試作品、商品が試作、販売され始めている。

【0005】このマルチメディア技術を利用して得られるマルチメディア情報を通信網を介して交換するのがいわゆるマルチメディア通信技術である。これは物理的に離れた端末、データベースや複数箇所の端末同士を通信網を介して接続し、マルチメディア情報の交換、共有、加工などを行ないつつこの情報を利用するものであり、例えばテレビ会議システム、画像を含んだデータベースシステム、グループウェアなどはこの典型的な例である。

【0006】このマルチメディア通信を実現するためには、種々のメディアの情報を蓄積、送受信、加工、利用する端末において、送信側端末ではメディア情報を通信網のインタフェースに合わせて加工して網に送出するとともに、受信側では網のインタフェースに合わせて受信した情報から必要なメディア情報を抽出してこの情報を利用する手段にわたす機能が必要である。

10

20

30

40

50

【0007】このマルチメディア通信を実現する従来の手法としては主に2つの方法が知られている。

【0008】一つの方法は、送信側が種々のメディアのデータを送出するのに際し、それぞれのメディアに対して最適な通信網をそれぞれ選択してやり、メディアごとに別個に通信を行なう手法である。例えば、図22に見られるように、音声、映像、データの伝達が必要な端末915、916同士の通信において、音声、映像に関してはリアルタイムの通信が可能な回線交換網917を、必ずしもリアルタイム性を求められないデータに関して10はパケット交換網918を介して通信を行なうといったような場合が考えられる。なお、現在のISDN（狭帯域ISDN）もこの方法を使っているものと考えられる。即ち、Bチャネルのリアルタイム通信には既存の回線交換網を、B/Nチャネルのデータ通信には既存のパケット交換網を使用している形態である。

【0009】しかしながら、このような通信形態は複数の通信網を利用することに伴う制御および管理の複雑化を招くこととなる。

【0010】他の方法は、リアルタイムのメディアに要する帯域とデータ通信を行なうメディアに要する帯域とをあらかじめ固定予約しておき、各々のメディアはこの与えられた帯域を利用して通信を行なう方式である。この方式では例えば図23のように、あるタイムスロットのうち、一定量をリアルタイムメディア通信用のタイムスロットに、他の一定量をデータメディア通信用のタイムスロットに、というようにあらかじめ帯域を割り当てておき、送信側および受信側のノードでこの割当を認識する。そして、各々のメディアはこの与えられたタイムスロット内で情報のやり取りを行なう方式である。この20のような例としては、FDDI-2や、シンクロナスイーサ等が知られている。なお、この方式において、各メディアの情報量の増減に対応して各メディア用のタイムスロット上の境界線を移動させ、より柔軟に対応する応用が考えられる。

【0011】しかしながらこの形態の通信方式が適用できるのは、例えば全てのノードが平等、同等にネットワークにアクセスするリングネットワーク（全てのノードについてタイムスロット位置が共通）やノード数の少ない網など限られている。これは、複数のノード間でのタイムスロットの位置情報を特にデータ通信（パケット通信）において共有することがむずかしく、制御がきわめて複雑になることが原因である。

【0012】このように既存の通信網においてはマルチメディア通信を十分にサポートするには難があり、その実現は限定的なものに留まっていたが、多彩なメディアを柔軟に包含することのできるATM通信網の出現は、このマルチメディア通信を実現するための網技術として最有力視されている。

【0013】このATM通信網を利用してマルチメディア

通信を実現するためには、送信側では音声、映像あるいはデータなどの各々のメディアの情報をATMセルに乗せ込んでやり、これらのセルを1本の伝送路にラベル多重（セル多重）して送出し、受信側ではこれらのセル多重されたセル流を各メディアごとの情報に分離し、再生、処理する機能が必要である。

【0014】ATMセル化装置に関して説明すると、送信側において種々のメディアの情報をATMセルに乗せ込み、これらを外部に送出する方法としては、以下の10うなものが考えられる。

【0015】まず、図24にあるように複数のメディアの情報源901から得られる情報を各々のメディアに対して設けられたAAL処理部902およびセル化部903によってATMセル化する。このうち、AAL処理部902では情報源901からおくられてきた情報に、セグメンテーションなどのいわゆるAALレイヤの処理を行ない、セル化部903ではAAL処理部902から出力されてくる情報にVPI/VCIなどを含むATMセルヘッダなどを付与し、UNI（ユーザ・網インタフェース）セルとした上でこれをセル多重化部904に送出する。このセル多重化部904において、各々のセル化部903によって生成されたATMセルを多重化する。この多重化部904は論理的に加入者交換機（または構内交換機）、加入者多重化装置（または構内多重化装置）に存在させても良い。この多重化部は網終端装置に相当する。このような方式でATMセル化を行なう装置として、電子情報通信学会の研究会資料SSE-90-103や、SSE-90-30などにその例がみられる。

【0016】これと同様のシステムを図25にあるような構成で実現することも考えられる。即ち、複数のメディアの情報源911およびレイヤ2処理部912に一つのセル化部913が対応している。これは、図25のようにメディア源911、レイヤ2処理部912とセル化部913の間に多重化部914があることに対応している。このような例は、例えば電子情報通信学会の研究会資料SSE-90-133等にみられる。ただし、ATMセル化する情報のタイプは同一である。

【0017】このように、従来のATMセル化装置では種々のメディア情報源からの情報をATMセル化する際に、それぞれのメディアのセルをAAL処理部、セル化部を通してATMセル化し、UNIセルまたはATMセルフォーマットとした上で網終端装置であるATM多重化装置において多重化する方式や、メディアごとにレイヤ2処理までを行ない、この時点で多重化を行い、単一のセル化部において情報のATMセル化を行うことにより、種々のメディアの情報をATMセル化する方法があった。

【0018】しかしながら、これらのようなATMセル化方法では以下に述べるような問題点が存在する。

【0019】1) メディア源として同一のメディア、あるいは性質の類似しているメディアが複数個存在する場合、例えば画像情報源が複数存在する場合などにおいて、その各々にセル化機構を設けるとハードウェア的に冗長になる。

【0020】2) セル化機能の処理は、メディアが異なっていたとしても類似した処理も多くあり、セル化機能が完全にメディアごとに用意されているのは経済的でない。特に、最近ITU-TS (旧CCITT) では、AALの処理として新しくAALタイプ5 (SEAL; Simple and Efficient AAL) が提案・勧告化されようとしている。これは、従来のコネクションオリエンテッドデータ通信をサポートするAALタイプ3に代わり登場したもので、その名の通り、AAL3においてサポートされていた機能のうち、トランスポートレイヤ処理などと重複する処理などを省略してその機能を大幅にシンプル化したものであり、1セルあたりのデータ格納可能領域が少なくとも4オクテット増えるなど、より効率的かつ高速なデータ転送が行えるように工夫されている。このAALタイプ5の導入により、大部分のデータ通信はAALタイプ5にてサポートし、リアルタイム系のAALタイプ1 (CBRリアルタイム通信) と合わせてATM端末のAAL機構を構成することが考えられる。しかしながら、これらのAAL機構を別個に構成してATMセルを生成して、これを多重するというこれまでのAAL機構にて考えられてきた構成をそのままAALタイプ5にも適用した構成では、AALタイプ3を用いる場合と比べ、簡略化をはかることができるとはいえず、経済的とはいえない。

【0021】3) 複数のメディアの情報源は多様な情報出力速度を持つと考えられ、ATMセル化を行うのに際し、必要とされるバッファ量は各メディアごと、あるいは通信ごとに変化があるものと考えられる。しかしながら、事前にそのバッファ量の値を予測するのは困難である。例えば、バースト的なデータを送信する場合や、同一のATMセル化機構の入力ポートに対して、ある通信機会ごとに異なるレートを持つ符号化装置などがメディア情報源として接続する場合 (符号化ボードを取り替えることなどに相当) などが考えられる。このような場合は、考え得る必要最大量のバッファをその入力ポート各々に用意しておく必要があり、ハードウェア量、コストの増大を招くことになる。

【0022】一方、ATMデセル化装置に関して説明すると、受信側において受信したATMセル流を種々のメディアごとなどに振り分け、各々の受信情報処理装置、例えば復号化器等に送出するいわゆるATMデセル化機構としては、以下のようなものが考えられている。

【0023】まず、図50にあるように、受信したATMセル流を並列して設けられたフィルタ装置5201にてセル流のフィルタリングを行い、必要なセルのみを抽

出し、以降の各処理装置、例えばAAL処理装置や、上位レイヤ処理装置、復号化器などに渡していく方式が知られている。上記フィルタ装置5201をメディアごと、AALのタイプごと、上位プロトコルごと等に用意しておくことにより、各々の、ATMセル化を行うものである。このような方式でATMデセル化を行う装置として、電子情報通信学会の研究会資料SSE90-30、SSE90-103、SSE90-120等にその例がみられる。なお、フィルタ装置5201は、受信したATMセルのATMセルヘッダを参照し、該当するヘッダ値、例えばVPI (仮想パスID) 値、VCI (仮想コネクションID) 値、PT (ペイロードタイプ) 値などを有したセルのみを通過させる装置である。

【0024】また、参照特開平3-249842にあるように、受信側装置がデータ通信端末であり、受信する情報が格納されているAALのタイプがAALタイプ3/4である場合は、受信したATMセル流をVPI/VCI/PT値ごと、あるいはMID値ごとにセル長単位のバッファに格納していき、このバッファをリンクしていくことによりVPI/VCI/PT/MIDごとのメッセージを分別し、その上で上位レイヤ (ATMレイヤ、AALレイヤ、LAPD等のレイヤ2以上のレイヤ) 処理装置にデータをバッファを通して転送していく方式が提案されている。図51に示すように、このセル長単位のバッファは、実体は単一の大容量バッファを単位長ごとに区切った形で構成されており、前記のようにこの単位長のバッファをリンクしてリスト構造としていくことにより多くの受信側処理装置ごとの情報に分け、これを各々の受信側処理装置に振り分ける構成とすることができ、この受信側処理装置のスループットと、この受信側処理装置に到着するATMセル流の到着速度との間のミスマッチの吸収およびATMセル流の到着揺らぎの吸収を行うことのできる構成となっている。

【0025】さらに、上記の方法と類似した方法で、受信側装置がデータ通信端末である場合、受信したATMセル流をVPI/VCI/PT/MID値ごとに設けられたPDUサイズ (プロトコルデータユニットサイズ、具体的にはSAR-PDUのサイズとして考えられる最長サイズを指す) のバッファに次々と格納していき、1PDUの受信完了を契機に上位レイヤ処理装置に渡していく図52のような方法も、電子情報通信学会研究会資料SSE91-107などにおいて提案されている。図52に、その方法を示す。実際のバッファはVPI/VCI/PT/MIDごとに設けられているのではなく、単一のバッファを論理的に分割して構成する形をとっている。

【0026】このように、従来のATMデセル化装置では受信したATMセル流をVPI/VCI/PT/AALタイプ/MIDごとにあらかじめ振り分け、その後にはATMレイヤ処理、AALレイヤ処理、レイヤ2以上の

処理と割り当てていく方法（以下、方法1と呼ぶ）や、デセル化を行うメディアがデータ系のみである場合は、バッファ装置としては全体で単一の大容量バッファを使用し、VPI/VCI/PT/MIDごとにセル長、あるいはSAR-PDUごとの最長サイズ長のバッファを割り当てて、セル長バッファの場合はこれをリンクしてリスト構造とすることによりPDU組み立てを契機に上位レイヤに渡していく方法（以下、方法2と呼ぶ）があった。

【0027】しかしながら、これらのようなATMデセル化方法では以下に述べるような問題点が存在する。

【0028】まず、方法1における問題点としては、以下のものがある。

【0029】i) 受信側処理装置として、同一のあるいは性質の類似しているメディアが複数個存在する場合、例えば画像情報源が複数存在する場合などにおいて、その各々にATMデセル化機構があるとハードウェア的に冗長である。

【0030】ii) 方法1の構成を採用したATMデセル化装置では、各々の受信側処理装置、例えば複号化器や、プロトコルプロセッサなどが揺らぎ吸収および速度整合のためのバッファを必ず持つことになるが、必要とされるバッファ量はその受信側処理装置が処理する情報の属性、性質により多様である。これは、バースト的な通信を行いたい場合や、ある通信機会ごとに異なるレートをもつ符号化装置などが受信側処理装置として使用されるような場合（符号化ボードを取り替えることなどに相当）、考え得る必要最大量のバッファをその出力ポート各々にあらかじめ用意しておく必要があり、ハードウェア量、コスト増大を招くことになる。

【0031】以上のような問題点、特に問題点iiを方法2の構成は解決する。即ち、すべての受信側処理実体間で、揺らぎ吸収、バースト吸収のためのバッファとして単一の大容量バッファを共有しているため、たとえ各出力ポート間でバーストが発生しても大容量バッファ内の出力ポートごとの論理バッファの増減の形で該バーストを吸収することができ、受信側処理実体のスループット、属性、バースト性に対して弾力性を持つ構成とすることができる。また、トータルとしての受信バッファ量の削減をはかることが可能である。

【0032】しかしながら、この方法2においても、以下述べるような問題点が考えられる。iii) 適用可能なAALのタイプがデータ系（AALタイプ3/4）に限定されている。これは、そのアーキテクチャがリアルタイム系（音声、画像など）の情報処理に適用可能なものになっていないことと、これまでのデータ系のALL（AALタイプ3/4）とリアルタイム系のAAL（AALタイプ1、AALタイプ2）がそのセル構成をはじめ相違点が非常に多いことが原因と考えられる。

【0033】iv) 上記iiiと関連して、デセル化機構の

処理は、メディアが異なっていたとしても類似した処理も多くあり、デセル化機構が完全にメディアごとに用意されているのは経済的でない。特に、前述したように、AALの処理として新しくAALタイプ5なるタイプが提案・勧告化されようとしており、このAALタイプ5の導入により、大部分のデータ通信はAALタイプ5にてサポートし、リアルタイム系のAALタイプ1（CBRリアルタイム通信）と合わせてATM端末のAAL機構を構成することが考えられる。しかしながら、これらのAAL機構を別個に構成してその各々においてATMセルを受信、再生するというこれまでのAAL機構にて考えられてきた構成をそのままAALタイプ5にも適用した構成では、AALタイプ3を用いる場合と比べ、簡略化をはかることはできるとはいえ、経済的とはいえない。

【0034】v) バッファ量が最適とはいえない。図51の例では、ATMセルをそのままバッファに格納しており、実際のATMレイヤ処理は単一バッファのさらに先のATMレイヤ処理部にて行っている。ATMレイヤ処理は、全ての受信側情報処理実体において同一であることを考えると、ハードウェア的に冗長であると考えられる。また、図52の構成においては、PDUサイズのバッファを用いているが、コンピュータの分散処理環境におけるRPC（リモートプロシージャコール）などの短いパケットによる通信が相当の割合となることを考えると、単位バッファ量が大きいことは問題と考えられる。

【0035】vi) レイヤ間の切り分けが最適でない。すなわち、バッファ前後に於けるレイヤの切り分けがあいまいであり、あるレイヤの変更、バージョンアップなどに柔軟に対処することができない。

【0036】

【発明が解決しようとする課題】上記のように従来のATMセル化装置では、メディア源として同一あるいは性質の類似しているメディアが複数個存在する場合、各々のメディア源ごとにセル化機構を設けており、ハードウェア的に冗長であった。

【0037】また、セル化機能の処理は、メディアが異なっていたとしても類似した処理も多くあり、セル化機能が完全にメディアごとに用意されているのは経済的でない。

【0038】さらに、複数のメディアの情報源は多様な情報出力速度を持つことが多く、ATMセル化を行うのに際し必要とされるバッファ量は各メディアごとあるいは通信ごとに変化があるものと考えられるが、事前にそのバッファ量の値を予測するのは困難であり考え得る必要最大量のバッファをその入力ポート各々に用意しておく必要があることからハードウェア量、コストの増大を招くことになる。

【0039】また、あるレイヤの変更、バージョンフ

ップなどに柔軟に対処することができないという問題点があった。

【0040】本発明は、これらのことを鑑みなされたものであり、第1の目的は、ATMセル化機構における各レイヤ処理装置やバッファ量などのハードウェアを削減したATMセル化装置を提供し、また、種々のメディアの情報に対してATMセル化機構を柔軟に構成することができるATMセル化装置を提供することにある。

【0041】一方、上記のように前述の方法1を採用した従来のATMデセル化装置では、受信側処理装置として、同一のあるいは性質の類似しているメディアが複数個存在する場合、各々のメディア源ごとにATMデセル化機構を設けており、ハードウェア的に冗長であった。また、この場合、各々の受信側処理装置に設けるバッファの容量はその受信側処理装置が処理する情報の属性、性質により多様であるので、考え得る必要最大量のバッファをその出力ポート各々にあらかじめ用意しておく必要があり、ハードウェア量、コスト増大を招くことになる。

【0042】また、前述の方法2を採用した従来の従来のATMデセル化装置にあっても、適用可能なAALのタイプがデータ系（AALタイプ3／4）に限定される点、デセル化機構の処理は、メディアが異なっていたとしても類似した処理も多くあり、デセル化機構が完全にメディアごとに用意されているのは経済的でない点、バッファ量が最適とはいえない点、レイヤ間の切り分けが最適ではなく、バッファ前後に於けるレイヤの切り分けがあいまいであり、あるレイヤの変更、バージョンアップなどに柔軟に対処することができない点が、問題として指摘される。

【0043】本発明は、これらのことを鑑みなされたものであり、第2の目的は、ATMデセル化機構における各レイヤ処理装置やバッファ量などのハードウェアを削減したATMデセル化装置を提供し、また、種々のメディアの情報に対してATMデセル化機構を柔軟に構成することができるATMデセル化装置を提供することにある。

【0044】

【課題を解決するための手段】前記課題を解決し目的を達成するために、以下のような手段を講じた。

【0045】本発明に係る（第1の）ATMセル化装置は、外部から入力されたデータを加工して、各種通信サービスとATMとの間の整合をとるATMアダプテーションレイヤの上位処理を行うATMアダプテーションレイヤ・コンバージェンスサブレイヤのプロトコル・データ・ユニットを生成する少なくとも一つの第1のデータ生成手段と、前記第1のデータ生成手段から受け取ったデータを一時的に蓄積する蓄積手段と、前記蓄積手段からデータを受け取り、これにATMアダプテーションレイヤ・セグメンテーションアンドリアセンブリサブレイ

ヤ・ヘッダおよびATMセルヘッダを付与してATMセルを生成するATMセル生成手段とを備えたことを特徴とする。

【0046】また、本発明に係る（第2の）ATMセル化装置は、外部から入力されたデータを加工して、各種通信サービスとATMとの間の整合をとるATMアダプテーションレイヤの上位処理を行うATMアダプテーションレイヤ・コンバージェンスサブレイヤのプロトコル・データ・ユニットを生成する少なくとも一つの第1のデータ生成手段と、前記データ生成手段からデータを受け取り、ATMセルへの分割およびATMセルからの組立を行うATMアダプテーションレイヤ・セグメンテーションアンドリアセンブリサブレイヤのプロトコル・データ・ユニットを生成する少なくとも一つの第2のデータ生成手段と、前記第2のデータ生成手段から受け取ったデータを一時的に蓄積する蓄積手段と、前記蓄積手段からデータを受け取り、これにATMセルヘッダを付与してATMセルを生成するATMセル生成手段とを備えたことを特徴とする。

【0047】上記の本発明に係る（第1および第2の）ATMセル化装置において、前記蓄積手段は、入力したデータを一時的に蓄積し且つ当該データを入力した順序で出力する論理FIFO（先入れ先だしバッファ）を、その前段にあるデータ入力源となる前記データ生成手段ごとに有している。よって、前記蓄積手段には、つごう前記データ生成手段と同数の論理FIFOが構成されていることとなり、そのそれぞれに対応した前記データ生成手段からデータが入力されることとなっても良い。

【0048】また、前記ATMセル生成手段は、セル周期のシーケンサにて駆動され、この周期ごとに前記論理FIFOに格納された情報量を計測し、この値が、次に前記論理FIFOからデータを取り出して生成するセルに格納する情報量以上の場合は、この条件を満たす論理FIFOのうちから一つを選択し、その論理FIFOからデータを取り出してATMセルを生成し、これを外部に送出し、また、これらの前記値が前記情報量以下である場合は、前記蓄積手段からデータを取り出さず、その他のセルを外部に送出するように構成しても良い。

【0049】さらに、前記第1のデータ生成手段に入力される情報は、それぞれAALのどのタイプでATMセル化を行うかを予め決めておき、前記ATMセル生成手段または前記第2のデータ生成手段にはこれに従って入力源となる前記第1のデータ生成手段ごとにAALのタイプを選択してATMセル化を行っても良い。

【0050】また、本発明の（第3の）ATMセル化装置は、外部からの制御信号にตอบสนองして、ATMアダプテーションレイヤ・タイプ5のコンバージェンスサブレイヤ処理の内のサービスに依存せずに共通的な処理を提供するコンパート・コンバージェンスサブレイヤ処理を

外部から入力されたデータに対して施すこと、および前記処理を施さずに前記データを透過させることのいずれかを実行する第1のデータ生成手段と、外部からの制御信号にตอบสนองして、ATMアダプテーションレイヤ・タイプ1のATMセルへの分割を行うセグメンテーション処理を除くATMセルへの分割とATMセルからの組立てを行うセグメンテーションアンドリアセンブリサブレイヤ処理およびATMアダプテーションレイヤのセグメンテーション処理、ならびに前記ATMアダプテーションレイヤのセグメンテーション処理のいずれかを、前記第1のデータ生成手段から受け取ったデータに施す第2のデータ生成手段と、前記第2のデータ生成手段から受け取ったデータにATMセルヘッダを付与してATMセルを生成するATMセル生成手段とを備えたことを特徴とする。

【0051】一方、前記ATMデセル化装置に関する課題を解決し目的を達成するために、以下のような手段を講じた。

【0052】本発明に係る（第1の）ATMデセル化装置は、物理レイヤ処理およびATMレイヤ処理を実行するATM処理手段と、外部からの制御信号にตอบสนองして、ATMアダプテーションレイヤ・タイプ1のATMセルからの組立てを行うリアセンブリ処理を除くATMセルへの分割とATMセルからの組立てとを行うセグメンテーションアンドリアセンブリサブレイヤ処理およびATMアダプテーションレイヤのリアセンブリ処理のいずれかを、前記ATM処理手段から受け取ったデータに施す少なくとも1つの第1の処理手段と、外部からの制御信号にตอบสนองして、ATMアダプテーションレイヤ・タイプ5のコンバージェンスサブレイヤ処理の内のサービスに依存せずに共通的な処理を提供するコモンパート・コンバージェンスサブレイヤ処理を前記第1の処理手段から受け取ったデータに対して施すこと、および前記処理を施さずに前記データを透過させることのいずれかを実行する少なくとも1つの第2の処理手段とを備えたことを特徴とする。

【0053】また、本発明に係る（第2の）ATMデセル化装置は、外部から入力されたデータに対し、物理レイヤ処理およびATMレイヤ処理を施すATM処理手段と、前記ATM処理手段から受け取ったデータを一時的に蓄積する蓄積手段と、前記蓄積手段からデータを受け取り、ATMセルへの分割およびATMセルからの組立てを行うセグメンテーションアンドリアセンブリサブレイヤ処理を実行する少なくとも1つの第1の処理手段と、前記第1の処理手段からデータを受け取り、サービスに依存せずに共通的な処理を提供するコンバージェンスサブレイヤ処理を実行する少なくとも1つの第2の処理手段とを備えたことを特徴とする。

【0054】また、本発明の（第3の）ATMデセル化

装置は、外部から入力されたデータに対し、物理レイヤ処理およびATMレイヤ処理を施すATM処理手段と、前記ATM処理手段からデータを受け取り、ATMセルへの分割およびATMセルからの組立てを行うセグメンテーションアンドリアセンブリサブレイヤ処理を実行する第1の処理手段と、前記第1の処理手段から受け取ったデータを一時的に蓄積する蓄積手段と、前記蓄積手段からデータを受け取り、サービスに依存せずに共通的な処理を提供するコンバージェンスサブレイヤ処理を実行する少なくとも1つの第2の処理手段とを備えたことを特徴とする。

【0055】また、本発明の（第4の）ATMデセル化装置は、外部から入力されたセルから所定のデータを抽出し、且つ前記セルの抜けを検知し、このセルの抜けに関する情報を生成するバッファ入力手段と、前記バッファ入力手段から受け取ったデータを一時的に蓄積する蓄積手段と、前記蓄積手段からデータを取り出すとともに、前記情報がセルの抜けの発生を示す場合には予め前記セルの抜けを補償するための所定の処理を実行するバッファ出力手段とを備えたことを特徴とする。

【0056】

【作用】上記各手段を講じた結果、次のような各作用が生じる。

【0057】本発明の（第1の）ATMセル化装置では、各々の前記第1のデータ生成手段は、外部（上位レイヤ）から入力されたデータ（AAL-SDU、ATMアダプテーションレイヤ・サービス・データ・ユニット）を加工し、CS-PDU（ATMアダプテーションレイヤ・コンバージェンスサブレイヤ・プロトコル・データ・ユニット）を生成し、これを前記蓄積手段に送出する。前記蓄積手段は、N入力1出力（Nは前記第1のデータ生成手段の数）のバッファ機能を有し、各々の前記第1のデータ生成手段から受け取ったデータ（CS-PDU）を一時的に蓄積し、これを前記ATMセル生成手段に送出する。前記ATMセル生成手段は、前記蓄積手段から受け取ったデータにAAL・SARヘッダ、ATMセルヘッダを付与してATMセルを生成し、これを外部に送出する。

【0058】このように、本発明の（第1の）ATMセル化装置においては、少なくとも一つの第1のデータ生成手段、一つの蓄積手段、一つのATMセル生成手段を備えたことにより、各情報源ごとに入力されてきたAAL-SDUに対して、ATMアダプテーションレイヤ処理・ATMセル化処理を行い、その後これを多重して外部に送出するATMセル化装置、およびレイヤ2処理を行い、その後これを多重してATMセル化処理を行うATMセル化装置のいずれと比較しても、ATMアダプテーションレイヤの下位サブレイヤ（SARサブレイヤ）とATMレイヤ、物理レイヤ処理を共用している分、ハードウェア量を削減することが可能となる。

10

20

30

40

50



【0059】また、本発明の（第2の）ATMセル化装置では、前記第1のデータ生成手段は、外部（上位レイヤ）から入力されたデータ（AAL-SDU、ATMアダプテーションレイヤ・サービス・データ・ユニット）を加工し、CS-PDU（ATMアダプテーションレイヤ・コンパジェンスサブレイヤ・プロトコル・データ・ユニット）を生成し、これを前記第2のデータ生成手段に送出する。前記第1のデータ生成手段ごとに、その後段に設けられた前記第2のデータ生成手段は、前記第1のデータ生成手段から受け取ったデータ（CS-PDU）を加工し、SAR-PDU（ATMアダプテーションレイヤ・セグメンテーション・アンド・リアッセンブリ・サブレイヤ・プロトコル・データ・ユニット）を生成し、これを前記蓄積手段に送出する。

【0060】前記蓄積手段は、N入力1出力のバッファ機能を有し、各々の前記第2のデータ生成手段から受け取ったデータ（SAR-PDU）を一時的に蓄積し、これを前記ATMセル生成手段に送出する。前記ATMセル生成手段は、前記蓄積手段から受け取ったデータにAAL・SARヘッダ、ATMセルヘッダを付与してATMセルを生成し、これを外部に送出する。

【0061】このように、本発明の（第2の）ATMセル化装置においては、少なくとも一つの第1のデータ生成手段、少なくとも一つの第2のデータ生成手段、一つの蓄積手段、一つのATMセル生成手段を備えたことにより、各情報源ごとに入力されてきたAAL-SDUに対して、ATMレイヤ、物理レイヤ処理を共用している分、ハードウェア量の削減がはかれる。

【0062】また、これと共に、第1のデータ生成手段とATMセル生成手段の間に、各入力源ごとにバッファを用意するのではなく、共通のバッファすなわち前記蓄積手段を用意することにより、各々の入力源から入力される情報のバースト性に対して弾力性を持つこととなる。即ち、各入力源からのバースト流をこの前記蓄積手段により束ねることにより、全体的にトラヒックの平滑化が図れることとなり、大幅なバッファ量の削減が実現できる。

【0063】また、例えば音声と画像、バーストデータなどというように、多様な速度を有する入力情報源に対し、それぞれ個別にバッファを用意した場合、入力源として考えられるものの中で、最大限に必要なバッファ量をあらかじめ準備しておく必要がある。これは、このバッファ量で規定される以上の情報出力速度を有する情報源を接続した場合、情報のバッファあふれを生じてしまい、ATMセル化を行えなくなるからである。これに対し、全入力源に対して共通のバッファを用意することにより、情報源の速度のひろがりの点に関しても弾力性を持つことができる。すなわち、全入力ポートごとに大容量のバッファを用意することなく、共通バッファ部の総バッファ量にて各情報源の出力速度の和が規定されるこ

とになり、この点でもバッファ量の削減をはかることができる。

【0064】また、本発明の（第1および第2の）ATMセル化装置において、前記蓄積手段がその内部に、前記第1のデータ生成手段あるいは前記第2のデータ生成手段ごとに前記論理FIFOを構成し、さらに前記ATMセル生成手段がセル周期ごとに前記論理FIFOに格納された情報量を計測し、前記論理FIFO内にセルを生成するに十分な量の情報が格納されている場合はこの条件を満たす論理FIFOのうちから一つを選択してここから情報を取り出し、ATMセル化を行い、この条件を満たす論理FIFOがない場合はその他のセルを送出することにより、この時点で各入力源から入力されたセル化が可能な情報の多重化、およびセル化が行われ、さらに共通バッファから取り出されてATMセル化されたATMセル流は、各入力情報源についてATM多重されていることとなり、統計多重効果が期待できる。

【0065】また、本発明の（第1の）ATMセル化装置において、前記第1のデータ生成手段に入力される情報ごとにAALタイプを登録しておき、前記ATMセル生成手段がこれに従ってATMセル化を行うことにより、いろいろな属性を有した情報源からの情報のセル化を単一のATMセル生成手段により行うことができる。

【0066】また、本発明の（第3の）ATMセル化装置は、第1のデータ生成手段、第2のデータ生成手段およびATMセル生成手段を備える。前記第1のデータ生成手段に対して、AALタイプ5のCSレイヤ処理の内、CPCS（コモンパートCS）レイヤ処理（第1の処理という）を実行させることと、前記第1の処理を実行させず、入力されたデータを透過させることのいずれかを、外部からの指定により切り替える。前記第1のデータ生成手段は、外部（上位レイヤ）から入力されたデータに対して上記のように指定された処理を施して、送出する。前記第2のデータ生成手段に対して、AALのセグメンテーション処理（第2の処理という）およびAALタイプ1の上記第2の処理以外のSARレイヤ処理（第3の処理という）の双方の処理を実行させることと、前記第2の処理のみを実行させることのいずれかを、外部からの指定により切り替える。前記第2のデータ生成手段は、前記第1のデータ生成手段から入力されたデータに対して上記のように指定された処理を施して、送出する。前記ATMセル生成手段は、前記第2のデータ生成手段から入力されたデータにATMセルヘッダを付与してATMセルを生成し、これを外部に送出する。

【0067】このように、本発明の（第3の）ATMセル化装置においては、前記第1のデータ生成手段がAALタイプ5のCSレイヤ処理の内、少なくとも前記第1の処理を実行する機能を有しており、外部からの指定によりこの処理を実行させることも、入力データを透過さ

10

20

30

40

50

せることも可能であること、また、前記第2のデータ生成手段が、少なくとも前記第2の処理および前記第3の処理を実行する機能を有しており、外部からの指定により双方の処理を実行させることもセグメンテーション処理のみ実行させることも可能であることから、以下の要領でATMセル化を行うことができる。

【0068】上位レイヤから入力されてきたデータをAALタイプ1にてATMセル化を行う場合は、前記第1のデータ生成手段を透過させ、前記第1のデータ生成手段にてAALタイプ1のSARレイヤ処理を行い、その後ATMセル生成手段にてATMセルを生成するという形でATMセル化を行い、AALタイプ5にてATMセル化を行う場合は、前記第1のデータ生成手段にてデータのCSレイヤ処理を行ってCS-PDUを生成し、その後前記第2のデータ生成手段にてこれらCS-PDUのセグメンテーションのみを行って前記ATMセル生成手段にこれを渡し、前記ATMセル生成手段にて最終的なATMセルを生成するという形でATMセル化を行うことができ、同一の機構において簡単な切り替えを行うのみで入力データのATMセル化をAALタイプ1、タイプ5双方において行うことができる。

【0069】AALタイプ1と、AALタイプ5は、その構造において、AALタイプ5においてCPCSヘッダ、トレイラ処理を行うこと、およびAALタイプ1においてSARヘッダ処理を行うことにその相違点を見いだすことができるが、本発明のような構造とすることにより両AAL処理を単一の機構にて行うことができる。このような構成とすることで、AALタイプ1にてAAL処理を行うリアルタイム系情報源と、AALタイプ5にてAAL処理を行うデータ系情報源を入力源として情報送信を行うATMセル化装置を構成する場合、その入力源の属性（リアルタイム系であるか、データ系であるか）、性質（速度など）、組み合わせを自由に選択、あるいは組替えが行えることとなり、ATMセル化機構の統合化、効率化、柔軟化をはかることが可能になる。

【0070】一方、本発明の（第1の）ATMデセル化装置は、ATM処理手段、第1の処理手段および第2の処理手段を備える。前記ATM処理手段は、外部から入力されたデータに対し、物理レイヤ処理およびATMレイヤ処理を実行する。第1の処理手段に対して、AAL（ATMアダプテーションレイヤ）のリアセンブリ処理（第4の処理という）と、AALタイプ1の前記第4の処理以外の処理（第5の処理という）の双方を実行させることと、前記第4の処理のみ実行させることのいずれかを、外部からの指定により切り替える。前記第1の処理手段は、前記ATM処理手段から入力されたデータに対して上記のように指定された処理を施して、送出する。前記第2の処理手段に対して、AALタイプ5のCSレイヤ処理のうちのCPCS（コモンパートCS）レイヤ処理（第6の処理）を実行させることと、前記第6

の処理を実行させず、入力されたデータを透過させることのいずれかを、外部からの指定により切り替える。前記第2の処理手段は、前記第1の処理手段から入力されたデータに対して上記のように指定された処理を施して、送出する。

【0071】このように、本発明の（第1の）ATMデセル化装置においては、前記第1の処理手段がAALのリアセンブリ処理と、AALタイプ1の（リアセンブリ以外の）その他の処理を実行する機能を有しており、外部からの指定により双方の処理を実行させることもリアセンブリ処理のみ実行させることも可能であること、また、前記第2の処理手段がAALタイプ5のCSレイヤ処理のうち、少なくともCPCSレイヤ処理を実行する機能を有しており、外部からの指定によりこの処理を実行させることも、入力データを透過させることも可能であることから、以下の要領でATMデセル化を行うことができる。

【0072】まず、AALタイプ1にてATMデセル化を行う場合は、前記ATM処理手段から入力されてきたデータを前記第1の処理手段にてAALタイプ1のSARレイヤ処理を行い、その後前記第2の処理手段を透過させるという形でこれを行うことができる。また、AALタイプ5にてATMデセル化を行う場合は、ATM処理手段から入力されてきたデータを前記第1の処理手段にてCS-PDUのリアセンブリのみを行って前記第2の処理手段にこれを渡し、前記第2の処理手段ではデータのCSレイヤ処理を行ってAAL-SDUを生成するという形でこれを行うことができる。つまり、同一の機構において簡単な切り替えを行うのみで、入力データのATMデセル化をAALタイプ1、AALタイプ5の双方において行うことができる。

【0073】AALタイプ1と、AALタイプ5は、その構造において、AALタイプ5においてCSヘッダ、トレイラ処理を行うこと、およびAALタイプ1においてSARヘッダ処理を行うことにその相違点を見出すことができるが、本発明のような構造とすることにより両AAL処理を単一の機構にて行うことができる。このような構成とすることで、AALタイプ1にてAAL処理を行うリアルタイム系情報処理機構と、AALタイプ5にてAAL処理を行うデータ系情報処理機構を出力先として情報処理を行うATMデセル化装置を構成する場合、その扱う情報の属性（リアルタイム系であるか、データ系であるか）、性質（速度など）、組み合わせを自由に選択、あるいは組替えが行えることとなり、ATMデセル化機構の統合化、効率化、柔軟化をはかることが可能になる。

【0074】また、本発明の（第2の）ATMデセル化装置では、前記ATM処理手段は、外部から入力されたデータに対し、物理レイヤ処理およびATMレイヤ処理を行い、これを前記蓄積手段に送出する。前記蓄積手段

は、1入力N（Nは前記第1の処理手段の数）出力のバッファ機能を有し、前記ATM処理手段から受け取ったデータを一時的に蓄積し、これを前記第1の処理手段に送出する。前記第1の処理手段は、前記蓄積手段から受け取ったデータを加工し、CS-PDU（ATMアダプテーションレイヤ・コンバージェンス・サブレイヤ・プロトコル・データ・ユニット）を生成し、それぞれこれを後段の前記第2の処理手段に送出する。前記第1の処理手段ごとにその後段に設けられた前記第2の処理手段は、前記第1の処理手段から受け取ったデータ（CS-PDU）を加工し、CS-SDU（ATMアダプテーションレイヤ・コンバージェンス・サブレイヤ・サービス・データ・ユニット）を生成し、これを外部に送出する。

【0075】このように、本発明の（第2の）ATMデセル化装置においては、一つのATM処理手段、一つの蓄積手段、少なくとも一つの第1の処理手段、少なくとも一つの第2の処理手段を備えたことにより、各受信情報処理機構間で、前記ATM処理手段においてATMセルの物理レイヤ処理およびATMレイヤ処理の共用をはかることができ、ハードウェア量の削減をはかることができる。

【0076】また、本発明の（第3の）ATMデセル化装置では、前記ATM処理手段から入力されたデータに対し、物理レイヤ処理およびATMレイヤ処理を行い、これを前記第1の処理手段に送出する。前記第1の処理手段は、前記ATM処理手段から受け取ったデータに対し、SARレイヤの処理を行い、これを前記蓄積手段に送出する。前記蓄積手段は、1入力N（Nは前記第2の処理手段の数）出力のバッファ機能を有し、前記第1の処理手段から受け取ったデータを一時的に蓄積し、これを前記第2の処理手段に送出する。前記第2の処理手段は、前記蓄積手段から受け取ったデータを加工し、CS-SDUを生成し、これを外部に送出する。

【0077】このように、本発明の（第3の）ATMデセル化装置においては、一つのATM処理手段、一つの第1の処理手段、一つの蓄積手段、少なくとも一つの第2の処理手段を設けたことにより、各受信情報処理機構間で、前記ATM処理手段においてATMセルの物理レイヤ処理およびATMレイヤ処理、前記第1の処理手段においてAAL・SARレイヤ処理の共用をはかることができ、ハードウェア量の削減をはかることができる。

【0078】また、上述の本発明の（第2および第3）のATMデセル化装置において、前記蓄積手段を用いることにより、以下に述べるような効果を得ることができる。

【0079】まず、前記蓄積手段を揺らぎ吸収用バッファとして用いることにより、ATM通信に特有のATMセルの到着揺らぎの吸収をこのモジュールを用いて行うことが可能である。

【0080】また、前記蓄積手段の各出力ポートにはこのATMデセル化装置を搭載しているATM端末装置が扱う各々のメディア、属性、性質に応じた受信情報処理機構が（複数個）接続されることになるが、従来は、これらの受信情報処理機構のそれぞれに、その最大スループット、または（受信情報処理機構の組み合わせによる）バッファに溜まり得るデータ量の最大量に応じた容量のバッファ手段を設けていたため、必要以上に大きな容量のバッファを必要とし、かつ受信情報処理機構の変更に柔軟に対応することができなかった。これに対し、このように前記蓄積手段を各出力ポート間で共通で用いることにより、これら受信情報処理機構のスループットのばらつきが平滑化され、弾力性に富んだ構成にすることができるとともに、大幅なハードウェア量の削減をはかることが可能となる。

【0081】また、従来の各出力ポートごとに設けられていたバッファ手段は、該ポートへの情報（セル）の到着のバースト性を吸収するように用いられており、この観点からも各ポートごとに設けられていたバッファ手段は想定される最大バーストに対応したバッファ容量を準備しておく必要があった。これに対し、各出力ポート間で前記蓄積手段を用いることにより、一部の出力ポートへのバーストを吸収して平滑化することができることから、バースト吸収の観点からも弾力性を持つ構成といえる。

【0082】また、これら本発明の（第2および第3の）ATMデセル化装置の構成は、明確にレイヤ間の切り分けがなされており、各レイヤ処理の変更や改良（たとえばハード処理からソフト処理への変更、あるいはその逆、プロトコルの変更など）に柔軟に対処することが可能である。

【0083】さらに、これら本発明の（第2および第3の）ATMデセル化装置の構成ではメディアを問わない構成となっており、リアルタイム系、データ系を問わず自由な構成、組み合わせのATMデセル化装置を構成することができる。

【0084】また、本発明の（第4の）ATMデセル化装置は、バッファ入力手段と、蓄積手段と、バッファ出力手段を少なくとも構成要素としている。前記バッファ入力手段は、外部から入力されてきたデータを一時的に格納しておく。前記バッファ出力手段は必要に応じてバッファからデータを取り出す。ここで、前記バッファ入力手段は、外部から入力されてきたセルの抜けを検知する手段を内部に有し、該検知手段によって得られたセルの抜けに関する情報を前記バッファ出力手段に通知する。

【0085】このように、本発明の（第4の）ATMデセル化装置においては、前記バッファ入力手段が前記バッファ出力手段に対してセルの抜けに関する情報を送出しており、前記バッファ出力手段はセルの抜けがあると

10

20

30

40

50

判断される場合は前記蓄積手段からデータを取り出すことをせず、前記バッファ出力手段内部にて抜けたセル数分のデータの補償を適当な形で行い、適当な補償を行った後に前記蓄積手段からデータを取り出すことにより前記バッファ出力手段の後段にて必要なデータを抜けデータ無し状態で提供することができる。

#### 【0086】

【実施例】以下に、図面を参照しながら本発明について説明する。

【0087】まず、本発明に係るATMセル化装置について説明する。

【0088】図1に、本発明の第1の実施例に係るATMセル化装置の概略構成を示す。このATMセル化装置は、入力情報源として音声、画像などのリアルタイムデータ源と、計算機ファイルデータなどのデータ情報源（バースト情報源）を持ち、これらの属性の異なる多様なメディアを多重化、ATMセル化して、外部に送出するものである。ここで、音声、画像のリアルタイムデータ源はAALタイプ1にて、バーストデータはAALタイプ5にてそれぞれATMセル化されるものとする。

【0089】図1に示すように、本実施例のATMセル化装置は、音声情報源101、画像情報源102、データ情報源103、104、CS-PDU生成部111～114、共通バッファ部121、ATMセル生成部131を備える。

【0090】音声情報源101は、音声をPCM符号化したものを例えば64kbp/sのレートで定期的送出するモジュールであり、符号化された情報はCS-PDU生成部111に渡される。

【0091】CS-PDU生成部111は、音声情報源101から入力された情報をそのまま透過的に共通バッファ121に格納する。これは、本装置において音声をATMセル化する場合、AALタイプ1を用いて行うため、コンバージェンスサブレイヤ（CSレイヤ）の機能がヌルであることによるものである。

【0092】画像情報源102は、画像情報を例えば5Mbps、あるいは10Mbps、40Mbpsの定符号化速度で送出するモジュールであり、符号化された情報はCS-PDU生成部112に渡される。この符号化は画像符号化の標準であるMPEG、またはJPEG、H.261等により行われるものであり、定ビットレートで符号化情報が出力される。

【0093】CS-PDU生成部112は、画像情報源102から入力された情報をそのまま共通バッファ121に格納する。これも、CS-PDU生成部111と同様に、本装置において画像をATMセル化する場合、AALタイプ1を用いて行うため、CSレイヤの機能がヌルであることによるものである。

【0094】データ情報源103は、バイナリデータのファイル転送などに代表されるバーストデータの情報源

となるモジュールである。このデータ情報源103からのデータの生成・送出はバースト的であり、生成されたデータはCS-PDU生成部113に渡される。このデータ情報源103におけるデータの生成は、OSIプロトコルスタックのレイヤ5以上の処理はソフトウェアによって、レイヤ4からレイヤ3の処理はXTPプロトコルによってハードウェア論理により、レイヤ2処理はヌルにて行われる。ここに、データ情報源103と、CS-PDU生成部113との間のデータの受け渡しは、データストリームの形でも良いし、データをメモリに格納した上でのポインタ渡しの形でも良い。本実施例では、データストリームの形でデータが送られてくる場合を考える。

【0095】CS-PDU生成部113は、バーストデータのATMセル化をAALタイプ5にて行うことに伴い、データ情報源103から受け取った情報に対し、CSレイヤの情報を生成し、これを該情報に付加してCS-PDUを作成し、この上で共通バッファ部121に格納する。また、CS-PDU生成部113は、データ情報源、あるいはさらに上位のレイヤから、現在処理中の情報が、どのトランスポートレイヤサービスアクセスポイント（以下、レイヤ4SAPと略記する）同士、あるいはアプリケーションプログラム同士の通信であるのかに関する番号情報（以下、メッセージ番号と言う）を通知され、これを共通バッファ部121、あるいはATMセル生成部131に通知する機能を有する。

【0096】データ情報源104およびCS-PDU生成部114の機能は、データ情報源103およびCS-PDU生成部113と、それぞれ同様であるが、OSIプロトコルスタックのレイヤ3処理以上は全てソフトウェア処理によって行われ、内部構成はデータ情報源103とは異なるものとなっている。

【0097】共通バッファ部121は、N入力1出力（Nは1以上の正の整数、例えばN=8）のメモリであり、前段に接続されたCS-PDU生成部から入力されてきた有意情報（CS-PDU）を全入力ポートについて共通に使用するメモリ（共通メモリ）に一時的に格納する。出力側では、ATMセル生成部131でのATMセル生成タイミングに合わせて情報を該メモリから取り出し、ATMセル生成部131に渡す。

【0098】ATMセル生成部131は、共通バッファ部121から情報を受け取り、これにAAL・SARレイヤヘッダ、ATMレイヤヘッダを付与してATMセルを生成し、外部に送出する。

【0099】図2は、CS-PDU生成部111～114の内部構成とその周辺回路の一例を示す図である。CS-PDU生成部の構成を示す部分を図中400とする。この図では、データ情報源としてCPU430、メモリ431、XTPハードウェア432が実装されている場合を例として示してある。

【0100】図2のように、CS-PDU生成部400は、カウンタ401、PAD挿入回路402、AL挿入回路403、Length挿入回路404、CRC演算回路405、メッセージ番号レジスタ406を備える。

【0101】カウンタ401は、外部あるいは上位レイヤからもらう情報（CS-SDU、ATMアダプテーションレイヤ・サービス・データ・ユニット）の先頭、データ信号線上のデータの有無・無意に関する情報などを解析し、該データの長さを測定すると共に、該データの終了をPAD挿入回路402、AL挿入回路403に通知して、PAD情報、後述するAL情報の挿入を促し、Length挿入回路404に外部から受信した有意情報の長さを通知して、この値の挿入を促し、CRC演算回路405にCRC演算の開始、終了と、CRC値の挿入を促し、また、CS-PDUの最後尾を示す後尾信号を生成し、次段に通知する。

【0102】PAD挿入回路402は、カウンタ401からの有意情報の終了の通知を受け、CS-PDUのオクテット長が48オクテットの倍数となるように、値“0”を適当な値だけ上記有意情報の後に挿入する。このような目的で挿入される領域はPADと呼ばれ、AALタイプ5にて定義されている。挿入されるPADの長さは0ないし47オクテットとなる。

【0103】AL挿入回路403は、PADの挿入に続く2オクテットの間、値“0”を挿入する。

【0104】Length挿入回路404は、外部あるいは上位レイヤから受信したCS-SDUの長さをカウンタ401から通知され、この値をAL領域に続いて挿入する。

【0105】CRC演算回路405は、これまでに受信、生成したCS-SDU、PAD、AL、Lengthについて、CRCをあらかじめ決められた多項式に従って演算し、これをLengthに続いて挿入し、CS-PDUを完成させる。

【0106】メッセージ番号レジスタ406は、現在処理中のパケットがどのメッセージ番号に属するかを示す番号であるメッセージ番号を格納するレジスタである。この値は外部、例えばCPUや、XTP処理部などにより設定される。

【0107】メッセージ番号とは、処理中の該データが、どのレイヤ4SAP、あるいはアプリケーションプログラムによる通信であるのかをATMセル化装置にて一意に認識するための番号であり、この番号を基に該メッセージが属するコネクション、ATMヘッダ値、AALのタイプ、属性などが認識される。

【0108】図3に、AALタイプ5のパケット（CS-PDU）のパケットフォーマットを示す。図3において、CSトレイラとあるのは、実際はCPCS（コモンパートCS）トレイラである。

【0109】図2のような構成のCS-PDU生成部

は、外部から入力されたCS-SDUをパイプライン的にCS-PDU化するものとなっている。

【0110】このようなCS-PDU生成部においては、AALタイプ5のCS-PDU生成の機構を提供するものであるが、入力されるデータがリアルタイムデータである場合も考えられる。この場合は、AALタイプ1にてAAL処理を行う必要があると考えられるが、この場合は、本モジュールを入力データは透過的に通過することとなる。

【0111】次に、図4にCS-PDU生成部111～114までの内部構成とその周辺回路の別の一例を示す。CS-PDU生成部の構成を示す部分を図中410とする。この図では、データ情報源としてCPU430、メモリ431が実装され、システムバスを通してCS-SDUが得られる場合を例として示してある。この場合、CPUは、メモリ上にCS-SDUを配置し、このアドレス、長さ、メッセージ番号等をCS-PDU生成部410に通知した上で制御をCS-PDU生成部410に渡し（すなわちシステムバス制御権を明け渡し）、CS-PDU生成部410はシステムバスを通してメモリ内に格納されたCS-SDUに対してCS-PDU生成の処理を行う。図4に示すように、CS-PDU生成部410は、トリガレジスタ411、ポインタレジスタ412、長さレジスタ413、メッセージ番号レジスタ414、カウンタ415、比較器416、PAD挿入回路417、AL挿入回路418、Length挿入回路419、CRC演算回路420、パラレル・シリアル変換回路421を備える。

【0112】トリガレジスタ411は、外部、例えばCPU等からCS-PDUの生成開始を促すためのトリガを受信する回路である。通常、このトリガレジスタ411には、後述するポインタレジスタ、長さレジスタ、メッセージ番号レジスタ等への値の格納の終了後にトリガが与えられる。このトリガを受け取ると、CS-PDU生成部410はシステムバスへのアクセス権を獲得したことになり、メモリにアクセスしてCS-SDUを取りに行くことができる。なお、外部の回路、例えばCPUは、現在このモジュールがCS-PDUの生成中であるか否かをこのレジスタを通して知ることができるようになっていても良い。

【0113】ポインタレジスタ412には、メモリ上に格納されたCS-SDUが、該メモリ上のどの番地にあるかを示す情報が、外部、例えばCPU等から格納される。CS-PDU生成部410はこのレジスタの値によって、生成すべきCS-PDUの基となるCS-SDUがメモリ上のどこに格納されているのかを知る。

【0114】長さレジスタ413には、メモリ上に格納されたCS-SDUの長さが、外部、例えばCPU等から格納される。CS-PDU生成部410はこのレジスタの値によってCS-SDUの長さを知る。

【0115】メッセージ番号レジスタ414は、現在処理中のデータのメッセージ番号を格納するレジスタであり、メッセージ番号レジスタ406と同様の機能を持つものである。

【0116】カウンタ415は、トリガレジスタ411からの指令を受け、CS-SDU読みだしのためのメモリの番地の下位ビットを作成すると共に、読み出し中のCS-SDUの長さを計測して比較器416に通知し、PAD挿入回路417に対してCS-PDUの長さが48オクテットの整数倍となるように働きかけ、また、同期信号（たとえばCS-PDUの先頭や後尾を示す信号）や外部（共通バッファ部121）に送出中の信号がCS-PDUであるか否かを示す有意・無意信号等を生成し、外部に送出する。

【0117】比較器416は、カウンタ415の値と長さレジスタ413に格納された値とを比較し、メモリから読みだした情報の量が長さレジスタ413にあらかじめ格納されていたCS-SDU長の値と等しくなったことを検出し、メモリ上に格納されたCS-PDUの取り出しが終了したことを確認し、さらにPAD挿入回路417にPADの挿入を促す。

【0118】PAD挿入回路417は、比較器416からの通知を受け、生成するCS-PDUの長さのオクテット長が48の整数倍になるようにPADを挿入し、さらに挿入の終了をAL挿入回路418、Length挿入回路419、CRC演算回路420に通知して、それぞれの値の挿入を決められたタイミングで促す。

【0119】AL挿入回路418は、PAD挿入回路417からの通知を受け、ALフィールドの挿入を行う。

【0120】Length挿入回路419は、PAD挿入回路417からの通知を受け、Lengthフィールドの挿入を行う。ここで、Lengthの値は長さレジスタ413から得るが、この長さの値はデータバスのバス幅を1ワードとしたワード長で書かれている場合があるので、このような場合はこれをオクテット数に置き換える処理も行う。

【0121】なお、Length挿入回路419は、AALタイプ5のCPCSヘッダ（コモンパートCSヘッダ）にBAサイズ（バッファローケーションサイズ）が必要な場合は、CS-PDUの先頭に挿入する。挿入のタイミングは、カウンタ415から通知される。

【0122】CRC演算回路420は、これまでに受信、生成したCS-SDU、PAD、AL、Lengthについて、CRCをあらかじめ決められた多項式に従って演算し、これをLengthフィールドに続いて挿入し、CS-PDUを完成させる。

【0123】パラレル・シリアル変換回路421は、データバスから入力されるデータ信号をCS-PDU生成部410の内部でのデータ幅に変換する回路である。本装置では、データバスのバス幅がCS-PDU生成部内

部のデータバス幅よりも大きいため、パラレル・シリアル変換となる。

【0124】このような構成のCS-PDU生成部は、外部から入力されてくるCS-SDUをメッセージモード的に処理し、CS-PDU化するものとなっている。

【0125】このCS-PDU生成部410においても、CS-PDU生成部400と同様に、AALタイプ5のCS-PDU生成の機構を提供するものであるが、入力されるデータがリアルタイムデータである場合も考えられる。この場合も、AALタイプ1にてAAL処理を行う必要があると考えられるが、やはり本モジュールを入力データは透過的に通過することとなる。

【0126】図5は、図1に示す共通バッファ部121の内部構成の一例を示す図である。このように共通バッファ部121は、入力ポート部201、共通メモリ202、出力ポート部203、空ペイロードスロットアドレスキュー（以下、場合によって空PSキューまたは空キューと略記する）204、格納終了ペイロードスロットアドレスキュー（以下、場合によって格納終了PSキューとも略記する）205からなる。

【0127】共通バッファ部121は、例えば8つの入力ポートと1つの出力ポートを持ち、各々の入力ポートはそれぞれCS-PDU生成部と結合してCS-PDUを受け取り、出力ポートはATMセル生成部131と結合する。

【0128】入力ポート部201は、空PSスキュー204から空ペイロードスロット（共通メモリ202内の、1セルペイロード分のデータを格納する区切られた領域）の先頭番地を捕捉し、これを基にCS-PDU生成部111などから受信したデータ（具体的にはCS-PDU）、メッセージ番号などを共通メモリ202に格納する機能を有する。

【0129】図6に、入力ポート部201の内部構成図を示す。このように入力ポート部は入力ポート制御部611、空ペイロードスロット捕捉レジスタ（以下、場合によって空PS捕捉レジスタと略記する）612、カウンタ613、シリアル・パラレル変換部614、同期判断部615を備える。

【0130】入力ポート制御部611は、初期状態においてCS-PDU生成部から有意情報（CS-PDU）が入力されてきた場合、空PSキュー204から空ペイロードスロットを捕捉してこれを空PS捕捉レジスタ612に格納して、CS-PDUの共通メモリ202への格納に備えると共に、所定の量のデータを該ペイロードスロットに格納終了した場合は、該ペイロードスロットの先頭番地、即ち空PS捕捉レジスタ612の値を格納終了PSキュー205に格納する。また、カウンタ613からペイロードスロットへのデータ格納タイミングを受け取り、受信データの共通メモリ202への格納を行うと共に、このタイミングを同期判断部615に通知す

る機能も有する。

【0131】空PS捕捉レジスタ612は、入力ポート制御部611が空PSキュー204から捕捉したペイロードスロットの先頭アドレスを格納しておき、該入力ポート部201が共通メモリ202にデータを格納する番地のベースアドレスとする機能を有する。

【0132】カウンタ613は、空PS捕捉レジスタ612をベースアドレスとして、ペイロードスロットごとに共通メモリ202の書き込み番地を決めるための共通メモリ202への書き込み番地の下位番地を計算して与え、  
10 すると共に、該ペイロードスロットに規定の量のデータが格納された場合これを入力ポート制御部611に通知し、次のペイロードスロットに移ることを促す。

【0133】シリアル・パラレル変換部614は、CS-PDU生成部から入力されてきたデータの内、有意であるものを選択し、これを後述する理由によりパラレル展開して、共通メモリ202の書き込みインタフェースに合わせる。

【0134】なお、図4にあるパラレル・シリアル変換回路421と本パラレル・シリアル変換回路614を直列に設置することは、場合によって機能が冗長となることも  
20 あるため、本機能をはぶく場合もあり得る。

【0135】同期判断部615は、CS-PDU生成部から入力されるCS-PDU先頭信号と、入力ポート制御部611から通知される入力ポート部201の共通メモリ202へのデータ格納タイミングを比較し、両タイミング間の同期がとれているか否かを判断し、同期がとれていない場合はこれを外部に通知するとともに、現在処理中のCS-PDUについては同期がはずれていること  
30 となることから、CS-PDUトレイラのCRCフィールドを反転させるなどして、受信側で該CS-PDUを無効とする処理を行い、さらに再同期の確立をはかり、およびCS-PDU生成部から送られてくる後尾信号に対し、該後尾信号にて示されるCS-PDUの最後尾を含むことになるペイロードスロットにこの旨を通知、格納する。

【0136】共通メモリ202は、複数（ここでは、8つとする）の入力ポート部201から入力されるデータを入力ポートの別なく一括して格納するバッファである。メモリ内は、ATMセルのペイロード長、具体的には48オクテットごとに区切られている。以下、このひと区切りのことをペイロードスロットと呼ぶ。このペイロードスロットの各先頭番地が、空PSキュー204または格納終了PSキュー205等に格納されることになる。なお、このメモリは大容量メモリである。

【0137】この共通メモリ202には、図7にあるようにペイロードに入る情報を格納する領域のほかに、メッセージ番号を格納する領域、後尾指示領域も設けられている。これらの領域は、各々のペイロードスロットと1対1に対応している。メッセージ番号格納領域は、各  
50

入力ポート201から格納される情報がどのメッセージ番号に属するものなのかを示すために入力ポート部201が共通メモリ202に与える該番号を保存しておくための領域である。出力ポート部203およびATMセル生成部131は、このメッセージ番号を基に生成するATMセルのヘッダ値を決定する。後尾指示領域は、該ペイロードスロットに格納されているデータが、CS-PDUの最後尾を含むデータであることを示す場合にセットされる（例えば“1”が立つ）領域であり、後尾であるか否かの通知は各入力ポート201からの後尾信号を通して送られる。

【0138】出力ポート部203は、ATMセル生成部131から情報の取り出し依頼トリガを受け取ると、共通メモリ202内に送出可能なデータが存在する場合はこれを取り出してATMセル生成部131に送出し、送出可能なデータが存在しない場合はこの旨をATMセル生成部131に通知する。

【0139】図8に、出力ポート部203の内部構成図を示す。このように出力ポート部203は、取り出し制御部631、格納終了ペイロードスロット捕捉レジスタ（格納終了PS捕捉レジスタ）632、カウンタ633を備える。

【0140】取り出し制御部631は、ATMセル生成部131から情報の取り出し依頼のトリガを受信すると、格納終了PSキュー205を調べに行く。後述するように格納終了スロットキュー205には、共通メモリ202において、ペイロード情報を格納し終わったペイロードスロットの先頭番地が格納される。よって、共通メモリ202内に既に全ての情報の格納が終了したペイロードスロットがあるか否かを該スロットの先頭アドレスがこのキューに格納されているか否かで判断できる。先頭アドレスが格納されている場合は、ATMセル化することができる情報が共通メモリ202内に存在すると解釈し、このキューの先頭に格納されているアドレスを取り出し、これを格納終了PS捕捉レジスタ632に格納する。もしキュー内にアドレスが格納されていない場合は、その時点でATMセル化することができる情報が共通メモリ202内には存在しないものと解釈し、その旨を有意・無意信号線を通してATMセル生成部131に通知する。  
40

【0141】格納終了ペイロードスロット捕捉レジスタ632は、格納終了PSキュー205より取り出された共通メモリ202のペイロードスロットの先頭番地を格納しておくためのレジスタである。出力ポート部203は該取り出し手順中ではこのレジスタ632に格納された先頭番地にて指定されるペイロードスロットに格納されているデータを取り出すこととなる。実際には、出力ポート部203は、このバッファ632と、カウンタ633の値の和を共通メモリ202の読みだしアドレスとして参照するため、このレジスタに格納された値は共通

メモリ 202 の読みだし番地のベースアドレスとなることとなる。

【0142】カウンタ 633 は、出力ポート部 203 が ATMセル生成部 131 からのデータ取り出し依頼トリガを受信し、かつ格納終了 PS キュー 205 にデータの格納が終了したペイロードスロットの先頭番地が格納されている場合にとり出し制御部 631 から起動をかけられ、格納終了 PS 捕捉レジスタ 632 によって指定される共通メモリ 202 の該ペイロードスロットからデータの読みだしを完了するまで、その示す値は該ペイロードスロットからのデータ取り出しに伴いインクリメントされる。この共通メモリ 202 からの 1 ペイロードスロット中のデータの読みだしは、ATMセル生成部 131 のセル生成周期と同期して行われ、この 1 周期の内に 1 ペイロードスロットから読み出す形で行われる。前述したように、格納終了 PS 捕捉レジスタ 632 の値とカウンタ 633 の値の和が共通メモリ 202 の読みだし番地となる。

【0143】このようにして生成された共通メモリ 202 の読みだしアドレスにより、各ペイロードスロット中のデータが読み出され、ATMセル生成部 131 に順次送られる。ここで、共通メモリ 202 の各ペイロードスロット対応に格納されていたメッセージ番号および CS-PDU の最後尾に関する情報もこれと平行して ATMセル生成部 131 に送られる。

【0144】以上、図 5 の共通バッファ部 121 の内部構成に従ってその詳細な構成について述べてきたが、この共通バッファ部 121 は図 9 のような構成も可能である。以下、図 9 のような構成に従って場合の、共通バッファ部 121 の別の構成の詳細について述べる。

【0145】図 9 は、共通バッファ部 121 の内部構成の他の例を示す図である。この例では、共通バッファ部 121 は、入力ポート部 201、共通メモリ 202、出力ポート部 206、空ペイロードスロットアドレスキュー（空 PS キューとも呼ぶ）204、格納終了ペイロードスロットアドレスストア（格納終了 PS ストアとも呼ぶ）207 を備える。この中で、図 5 の共通バッファ部 121 と異なる主な点は、後述するように出力ポート部 206 と、格納終了 PS ストア 207 にある。

【0146】入力ポート部 201、共通メモリ 202 および空 PS キュー 204 は、図 5 にある同モジュールと同様の構成、動作であるので、ここでの説明は省略する。

【0147】図 10 に、出力ポート部 206 の内部構成図を示す。

【0148】出力ポート部 206 は、前述した出力ポート部 203 と同様に、ATMセル生成部 131 から情報の取りだし依頼トリガを受け取ると、共通メモリ 202 内に送出可能なデータが存在する場合はこれを取り出して ATMセル生成部 131 に送出し、送出可能なデータ

が存在しない場合はこの旨を ATMセル生成部 131 に通知する。この内部構成において、選択制御部 664 を有している部分が出力ポート部 203 と異なる点である。

【0149】このように出力ポート部 206 は、取りだし制御部 661、格納終了ペイロードスロット捕捉レジスタ（以下、場合によっては格納終了 PS 捕捉レジスタと略記する）662、カウンタ 663、選択制御部 664 を備える。

【0150】取り出し制御部 661 は、ATMセル生成部 131 から情報の取り出し依頼のトリガを受信すると、選択制御部 664 に働きかけて格納終了 PS ストア 207 に ATMセル化すべき情報の格納を終了したペイロードスロットの有無を調べに行かせる。

【0151】選択制御部 664 は、取り出し制御部 661 からの、格納終了 PS ストア 207 への調査の依頼を受け取ると、同ストア 207 に情報格納の終了したペイロードスロットの有無を調べに行く。ここで、情報格納の終了したペイロードスロットが存在する場合は、この中から適当なペイロードスロットを選択して、この先頭アドレスを取り出し、取り出し制御部 661 を経由して格納終了 PS 捕捉レジスタ 662 にこの値を格納する。なお、後述するように、実際はポートごと、あるいはメッセージ番号ごとに準備されている格納終了 PS キュー 671、格納終了フラグ 672 から 1 つを選択することになる。ここで、選択制御部 664 は、格納が終了したペイロードスロットがいくつかある場合は、この中から後述するような選択方法によって適当なものを選択して先頭アドレスを取り出す。

【0152】格納終了ペイロードスロット捕捉レジスタ 662 およびカウンタ 663 については、図 8 の出力ポート部 203 における格納終了ペイロードスロット捕捉レジスタ 632、カウンタ 633 と同様の機能を有するものであり、共通メモリ 202 の読みだしアドレスを合わせて生成する。そして、このアドレスを基に各ペイロードスロット対応に格納されていたデータ、メッセージ番号が読み出され、ATMセル生成部 131 に送られる。

【0153】格納終了ペイロードスロットアドレスストア 207 は、その内部に入力ポートごと、CS-PDU 生成部ごと、あるいはメッセージ番号ごとのアドレスキューを有しており、出力ポート部 206 からアドレス取り出し依頼があった場合は、選択制御部 664 が選択したキューから、その先頭に格納されている共通メモリ 202 中のペイロードスロットの先頭アドレスが取り出されて、出力ポート部 206 に渡される。

【0154】図 11 は、格納終了ペイロードスロットアドレスストア 207 の内部構成図である。このように、格納終了 PS ストア 207 は、複数の格納終了ペイロードスロットアドレスキュー（以下、場合によっては格納



終了PSキューあるいはアドレスキューと略記する) 671と、格納終了フラグ672を備える。この複数のアドレスキュー671と格納終了フラグ672とは、それぞれ1対1に対応しており、その各々がポートごと、CS-PDU生成部、あるいはメッセージ番号ごとに対応している。即ち、あるポート、CS-PDU生成部、あるいはメッセージ番号に属するデータが格納されたペイロードスロットの先頭アドレスは、そのペイロードスロット内部への格納が全て終了すると、そのポート、CS-PDU生成部、あるいはメッセージ番号ごとに割り振られたアドレスキュー671に格納される。

【0155】このアドレスキュー671は、夫々先入れ先出しキューで、物理的、あるいは論理的に複数個が格納終了PSストア207内に構成されている。格納終了フラグ672は、それぞれに対応するアドレスキュー671内に、ペイロードスロットの先頭アドレスが格納されている場合に立つフラグであり、該先頭アドレスが一つも格納されていないときは立たない。出力ポート部206内の選択制御部664は、これらのフラグ672を参照してアドレスキュー671内にアドレスが格納されているか判断する。

【0156】なお、上記格納終了PSストア207中における、ポート、CS-PDU生成部、あるいはメッセージ番号ごとの複数のアドレスキュー671をも単一のメモリ上に展開し、アドレスキュー671の長さのバースト性に柔軟に対応することも可能である。この場合は、例えば、各キューごとに先頭番地、最後尾番地を示すポインタをポート、CS-PDU生成部、あるいはメッセージ番号ごとに用意し、先頭のペイロードスロットに続く2番目以降のペイロードスロットのアドレスは、

リストでつないでいく構造をとる形で構成できる。

【0157】以上のような機構を通して生成された共通メモリ202の読みだしアドレスにより、各ペイロードスロット中のデータが読み出され、ATMセル生成部131に順次送られる。

【0158】なお、共通バッファ部121の入力ポートの内、CS-PDU生成部が接続されていないポート、またはCS-PDU生成部がCS-PDUを生成、あるいは送出していないポートについては、該入力ポート部の動作はマスクされて、共通メモリ202への書き込み

アクセスは行われない。

【0159】図12は、図1に示すATMセル生成部131の内部構成の一例を示す図である。このようにATMセル生成部131は、シーケンサ回路301、トリガ生成回路部302、メッセージ番号解析部303、SARH(ATMアダプテーションレイヤセグメンテーションアンドリアセンブリサブレイヤヘッダ)付与部304、ATMH(ATMセルヘッダ)付与部305、有意・無意解析部306、無効セル生成部307、セクタ308、制御部309を備える。

【0160】シーケンサ301は、ATMセル生成部131がセルを生成し、外部に送出する周期でシーケンシャル操作を行うハードウェアシーケンサであり、トリガ生成回路部302などのATMセル生成部131のほかの構成要素の動作を制御している。前記周期は、具体的にはこのシーケンサ301が53バイトのATMセルを8ビットパラレルの内部回路にて処理を行うため、53クロック周期である。

【0161】トリガ生成回路部302は、シーケンサ301からのタイミングに従い、共通バッファ部121の出力ポート部203、または206に対してデータ送出を促すデータ送出依頼トリガを生成して、これを共通バッファ部121に送出する。共通バッファ部121からのデータの取り出しを必要としない場合などはトリガの生成を行わない。

【0162】メッセージ番号解析部303は、前記取り出し依頼トリガに従って共通バッファ部121から送出されたデータおよびメッセージ番号のうち、メッセージ番号を抽出してこれを解析し、該送出データがどのAALタイプにてATMセル化が行われているのか、どのSARH(SARヘッダ)を付与すればよいのか、どのATMセルヘッダを付与すればよいのか等を解析し、これをSARH付与部304、ATMH付与部305に通知する機能を有する。

【0163】SARH付与部304、ATMH付与部305は、それぞれメッセージ番号解析部303からの通知により、ヘッダを付与するかしらないか、また、どのようなヘッダを付与するのかの判断を行うこととなる。メッセージ番号解析部303は、メッセージ番号からこの番号に対応するデータのAALタイプ、付与すべきSARH、ATMHを記してある図13のようなテーブルをその内部に有している。このテーブルの各アドレスがメッセージ番号に対応している。この中でAALタイプの欄には、本装置がAALタイプ1かAALタイプ5にてATMセル化を行うため、この2つの値のどちらかが記入される。このテーブルで、AALのタイプがタイプ1である場合は、SARH付与の依頼と、付与すべきSARHをSARH付与部304に通知すると共に、該メッセージ番号に対応する次のセルのSARHを用意すべく、SARHのSN(シーケンス番号)をインクリメントし、そのCRC、パリティ演算を行い、再び上記テーブルに保管する。AALのタイプがタイプ5である場合には、SARHの付与は不要であるため、この旨をSARH付与部304に通知する。なお、このモジュールは、有意・無意解析部306から、送られてきているメッセージ番号が無意味であると知られている場合は、共通バッファ部121から送られてきているデータのATMセル化は行われないわけであるから、以上のようなテーブル参照は行わなくても良い。

【0164】SARH付与部304では、メッセージ番

号解析部 303 から送られてくる指示に従い、共通バッファ部 121 から送られてくるデータと、メッセージ番号解析部 303 から送られてくる SARH をシーケンサ 301 からのタイミングに同期してマージさせ、ATM セルペイロードを完成させる。ここで、共通バッファ部 121 から送られてくるデータは、トリガ生成回路部 302 が生成するトリガ信号に同期して送られてくるため、結果的にシーケンサ 301 に同期して送られてくるが、共通バッファ部 121 から ATM セル生成部 131 に送られてくる際、図 14 にあるように ATM セルヘッダの入るべき領域は空の状態で作られてくる。なお、取り出し依頼トリガとデータの送出の間は、一定の間隔が空いていても良い。

【0165】よって、SARH 付与部は、AAL のタイプがタイプ 5 である場合は、このデータをそのままスルーして ATMH 付与部 305 に送出し、タイプ 1 である場合は、AAL タイプ 1 の SARH をペイロード領域の 1 オクテット目に挿入した上で、続くデータを 1 クロックずつ遅延させて ATMH 付与部に送出する。むしろ、AAL タイプ 1 である場合は、共通バッファ部 121 内の各々のペイロードスロットには、47 オクテット分しかデータの格納は行われないので、ATM セルペイロードに丁度納まる分量のデータが送られてくることとなる。

【0166】このようにして、SARH 付与部 304 では、簡単な機構により AAL タイプ 1、AAL タイプ 5 の双方への対処を可能にしている。

【0167】図 15 に、SARH 付与部 304 と ATMH 付与部 305 との間のデータ信号線上のデータの様子を示す。ATMH 付与部 306 は、シーケンサ 301 から送られてくるタイミングに同期して、メッセージ番号解析部 303 から送られてくる ATM ヘッダをデータ信号にマージして、ATM セルのフォーマットを完成させ、セレクト 308 に送出する。また、ペイロードタイプ (PT) フィールドの上位ユーザ間表示のビットについて、共通バッファ部 121 から送られてくる後尾信号の指示に従って、該セルのペイロードに格納されるデータが AAL のタイプ 5 にて処理される CS-PDU の最後尾である場合には値 “1” を立て、そうでないときは “0” を立てる機能も有している。なお、AAL タイプ 1 の時は、この後尾信号は使われなくて良い。ここで、ATM セルヘッダの HEC (ヘッダ誤り制御) フィールドおよび GFC (Generic Flow Control) の値の計算、付与はこの ATMH 付与部 305 あるいはそれ以降で行うこととしても良い。

【0168】有意・無意解析部 306 は、共通バッファ部 121 から送られてくる有意・無意信号を解析する。この有意・無意信号は平行して送られてくるデータ信号上を流れている信号が有意であるか無意であるかを示す信号線である。この信号線が無意を示すのは、トリガ生

成回路部 302 から共通バッファ部 121 に対してデータ送出のトリガがかからない場合と、同トリガがかかったにも関わらず、共通バッファ部 121 内に ATM セル化して送出すべき (準備の完了している) 情報が存在しない場合である。たとえば、H レベルの場合は有意、L レベルの場合は無意などと意味付けをしておく。この解析結果は、セレクト 308 と、メッセージ番号解析部 303 に送られ、共通バッファ部 121 から送られてきているデータ、およびメッセージ番号の有意・無意をこれらのモジュールに通知する。

【0169】無効セル生成部 307 は、シーケンサ 301 に同期して、無効セル (空セル) を生成するモジュールであり、その生成位相は、ATMH 付与部 305 から送出される ATMH 流の位相と一致するようになっている。このモジュールは、ATM セル生成部 131 が外部に空セルを送出する場合に、この空セルを生成するためのものである。

【0170】セレクト 308 は、ATMH 付与部 305 から送られてくる ATM セル、無効セル生成部 307 から送られてくる空セル、および制御部 309 から送られてくる制御用セル (シグナリングセル、OAM セル) の内、適当なものを選択して外部に送出させる機能を有するモジュールである。この選択は、有意・無意解析部 306、および制御部 309 により行われる。即ち、共通バッファ部 121 から送られてくるデータが有意である場合は、ATMH 付与部 305 により完全に ATM セル化が完了した形でセルが送出されており、これを選択して外部に送出する。一方、共通バッファ部 121 から送られてきているデータが無意である場合は、ここから送られてきているデータを外部に送出するのはまったく無意味であるため、無効セル生成部 307 にて生成している無効セルを外部に送出する。制御部 309 が外部に送出すべきセルを有している場合は、トリガ生成回路部 302 にデータ送出トリガの送出を行わないように要請すると共に、制御部 309 が直接該セルを生成して、これをセレクト 308 を通して外部に送出する。

【0171】制御部 309 は、ATM セル生成部 131 の各構成要素を制御する機能を有すると共に、シグナリングや OAM などについての責任を持つ。

【0172】なお、図面上では省略したが、セレクト 308 の出力以降に ATM 出力インタフェースとして、パラレル・シリアル変換回路、電気・光変換回路などを有していても良い。また、ATMH 付与部 305 に該計算機能がない場合は、セレクト 308 以降に HEC、GFC の各計算回路が接続されていても良い。

【0173】なお、共通バッファ部 121 と、ATM セル生成部 131 の間の有意・無意信号線は、メッセージ番号の内のある番号、例えば 0 番を「無意の信号を伝送中」等と意味付けを行ってやれば、省略することも可能である。

10

20

30

40

50

【0174】また、CS-PDU生成部113、114と共通バッファ部121間の後尾信号に関しては、共通バッファ部においてCS-PDU生成部から送られてくるCS-PDU先頭信号を観測し、その1タイミング前に送られてくるデータをCS-PDUの最後尾であると判断することによって、省略することも可能である。

【0175】次に、このような構成のもとに、本実施例の装置においてATMセル化を行った場合の流れを概説する。

【0176】本装置において、呼設定が行われる以前は、本装置からは無効セル生成部307において生成されている空セルが外部伝送路に向けて送出されている。

【0177】また、呼設定が行われる場合、制御部309を通してシグナリングのやり取りが行われる。即ち、制御部309においてシグナリングセルが生成され、網、および相手側端末とシグナリングのやり取りを行う。このシグナリングセルの挿入は制御部309がセレクタ308を制御することにより行われる。

【0178】なお、このシグナリングセルの生成、やり取りにおいては、このシグナリングに関してのみ、他と異なるAALタイプ（例えば、AALタイプ3）が使用される可能性があること、および、シグナリングに関しては定形的なセルのやり取りが行われると考えられること、即ちシグナリングの際に用いるセルのフォーマットはあらかじめ決まっており、このフォーマット中の細かい変数を変更するのみでシグナリングを完結させることができると考えられることなどから、シグナリングセル生成機能をCPU等によるソフトウェア論理ではなく、ROM等のハードウェア・ファームウェア論理によりあらかじめ格納しておき、変数の部分（例えば、VCI

【0179】このシグナリングのやり取りは、例えばユーザ側の端末および必要であればグラフィックユーザインタフェースを通して行われる。図16にあるように、ディスプレイ320上に表示されたメディアのうち通信したいメディアをマウス323（またはペン型入力デバイスやタッチパネル）で指定し、あらかじめ登録された可能相手先の番号をプッシュボタン326（またはキーボード）から入力するのみで通信の開始が可能になっている。ユーザは、呼設定時のトラヒック属性の指定や、相手先との通信の細かいプロトコルの指定などを行う必要はなく、標準的な通信方法（例えばMPEGを用いたテレビ電話など）はあらかじめ登録をされており、通信方法と相手先の番号（あるいは名前、住所、ホスト名、ユーザ名、メールアドレスなど）を入力すれば通信を開始できるようになっている。なお、ユーザがこれらの登録をカスタマイズすることも可能である。

【0180】このシグナリングのやり取りの際に、制御部309およびシステム全体の制御部（例えば図2およ

び図4のCPU）は、どの情報源を用いる通信か、その使用プロトコルは何か、ATMセル化のAALタイプはタイプ1か、あるいはタイプ5か、これに対応するメッセージ番号、付与すべきATMセルヘッダの、諸々の値（VPI・VCI等）等をきめ、メッセージ番号解析部303内のテーブルの設定など、装置各所の初期設定を行う。なお、メッセージ番号の決定は、ハードウェア化の簡単化のために、AALのタイプごとにある範囲の番号を専用に割り当ててメッセージ番号を用いるようにしても良い。また、メッセージ番号はVPI/VCI値と1対1に対応するものとしても良い。その際、メッセージ番号は、ATMセル生成部131にて共用しているため、各入力ポート間で重なりが起らないように割り振る必要がある。

【0181】上記でも述べたように、情報のATMセル化はAALのタイプ1、もしくはタイプ5を用いて行われる（ただし、シグナリング、OAMはこの限りではない）。即ち、音声、画像などリアルタイムデータの通信ではAALタイプ1を、バーストデータの通信（データ通信）ではAALタイプ5を用いて行われる。これは、AAL機構の単純化と、ATMセル化の高速化をねらって、AAL機構の統合化をはかったものである。即ち、このような方針で情報のATMセル化を行うことにより、リアルタイム情報とバーストデータのATMセル化を本装置ではほぼ同一の機構で行うことができ、大幅なハードウェア規模の削減と柔軟性の確保をはかることが可能となる。

【0182】なお、AALのタイプとしてタイプ3を用いる場合は、SARレイヤの処理が重く、本実施例のような構成でATMセル化を行うのは不可能ではないが、SARレイヤの処理を行う部分の複雑化を招くことになり、コスト高になる。ただしこの場合も、ハードウェア規模の削減は可能である。また、メッセージ番号はMID（メッセージID）と1対1に対応することとしてもよく、メッセージ番号解析部303内のテーブルにてMID値も参照されることとなる。

【0183】また、これらのシグナリングのやり取りは、その他の通信がすでに行われている最中においても行うことができる。例えば、音声通信中に画像通信を加えることやリアルタイム通信中にデータの転送を行うことなどができる。即ち、コネクションの追加、削除および属性の変更などを動的に行うことができる。

【0184】以下の例では、図1において、全ての情報源が稼働している状態、即ち64kbp/sの音声と10Mbpsの画像（ともにCBR）がリアルタイム通信として（AALタイプ1にて）稼働しており、また、データ情報源103、104はAALタイプ5にて稼働しており、バーストデータを不定期に送出しているような状態であると仮定して説明を行う。

【0185】音声情報源101および画像情報源102

10

20

30

40

50

につながるCS-PDU生成部は、図2にあるCS-PDU生成部400である。この場合、メッセージ番号レジスタ406には呼設定時に定められた値、またはデフォルト値として定められた値が常駐し、さらにPAD挿入回路402、AL挿入回路403、Length挿入回路404、CRC演算回路405は、AALタイプ1にてATMセル化が行われるため、動作を行わず、外部から入力されてきたデータ（即ち音声、画像符号化信号）はこのCS-PDU生成部400をスルーで通り抜ける。ただし、音声、画像のクロックからATM伝送路側のクロックに乗り換える必要があることから、CS-PDU生成部400においてクロックの乗換を行う。このため、有効・無効信号については送出の際は無効を、有効信号（音声、画像信号）出力の際は有効をそれぞれ示すこととなる。

【0186】ここで、クロック乗換に伴い、音声や画像の伝送周波数の方がATM伝送路側の周波数よりも小さいため、CS-PDU生成部400の出力においては、音声、画像データの送出だけでなく、ATM伝送路側のクロックに乗換を行う場合のクロック差による無意味データの挿入・送出も行われる。この無意味データをダミーパターンという。このクロック乗換を行うため、CS-PDU生成部400内には、これにクロック乗換機能を加えるためデュアルポートメモリが内部に実装される（図2において図示せず）。先頭信号については、音声情報源101、画像情報源102と、共通バッファ部121との同期をとるために一定周期にて同期信号が入力されてくる構成でもよい。

【0187】図1のデータ情報源として、上位レイヤからレイヤ3までの処理をハードウェアで行い、バーストデータ通信を行う場合は図2のようにCS-PDU生成部400が用いられる。ここでは、上記ハードウェアとしてXTP432を適用され、XTPハードウェアからデータがパイプライン的にデータの先頭信号および有効・無効信号、例えば平行して流れてくるデータが有効データのときのHレベルとなる信号などがCS-PDU生成部400に入力されるような場合について述べる。

【0188】XTP432は、CS-PDU生成部400に対してパイプライン的にデータを送出する。具体的には図17のように先頭信号、データ信号、有効・無効信号が平行してCS-PDU生成部400に対して入力される。先頭信号は、XTPから入力されるレイヤ3パケットの先頭を示す信号である。有効・無効信号が有効を示している間、例えばHレベルの間、がXTPから送出されるレイヤ3パケットであると解釈されるものとする。ここで、XTPへの上位レイヤからのデータの入りは、CPUがメモリ上に送出データの格納を終了し、システムバスの制御権をXTPに明け渡すことにより行われる。XTPがメモリに格納されたデータをダイレクトにフェッチし、レイヤ4およびレイヤ3処理をハードウ

ェア的に行う。XTP432はATM伝送路側のクロックにより駆動されることから、上位レイヤ側クロックとATM伝送路側クロックとのクロック乗換はこのシステムバスの制御権切り替えにより行われることとなり、クロック乗換点はXTP432の部分となる。

【0189】なお、ここで、XTP432はCPU430のシステムバスの使用状況を観測し、使用していない場合にシステムバスを通してメモリ431にアクセスするいわゆるサイクルスチールを行っても良い。

【0190】なお、XTPは、プロトコル処理専用割り当てられた（汎用）プロセッサであっても良い。

【0191】CS-PDU生成部400のメッセージ番号レジスタ406は、XTPを通してのデータ送出時に例えばCPUやXTPなどによりシステムバスを通して設定される。この値が共通バッファ部121、ATMセル生成部131に対するCS-PDUに関する情報として使われることとなる。

【0192】これらXTPから先頭信号、有効・無効信号、データを受信したCS-PDU生成部400は、先頭信号を受信すると、カウンタ401が起動し、これがシーケンサの役割を果たし、適当なタイミングでPAD挿入回路402、AL挿入回路403、Length挿入回路404、CRC演算回路405を駆動して、AALタイプ5のCS-PDUの生成を行う。また、共通バッファ部121に向かう有意・無意信号は、CS-PDUを送出している間は有意を示すものとしては（例えばHレベルとするものとしては）、タイミングの修正はなかった上で送出される。また、XTP432から送られてくる先頭信号はそのまま共通バッファ部121に送出され、共通バッファ部121に送出されるCS-PDUの先頭信号として使用される。また、CS-PDUの最後尾を示す後尾信号も生成され、これも共通バッファ部121に通知される。

【0193】これに対して、図1のデータ情報源として、上位レイヤからレイヤ3までの処理がソフトウェアによって行われ、CS-SDUがメモリのポインタ渡しによってCS-PDU生成部に渡される場合について説明する。この場合、CS-PDU生成部は図4のように構成され、前述のようにメモリ上にCS-SDUを生成したCPUが、CS-PDU生成部410にCS-SDUのアドレス、長さ、メッセージ番号などを通知し、さらにトリガレジスタ411をセットすることにより、システムバス制御権をCS-PDU生成部410に明け渡す。システムバス制御権を得たCS-PDU生成部410は、カウンタ415の制御によりメモリから順次データを取り出してAALタイプ5のCS-PDUを生成し、メッセージ番号、先頭信号、後尾信号、有意・無意信号と共にCS-PDUをデータ信号に乗せて共通バッファ部121に向けて送出する。

【0194】ここでも、CS-PDU生成部410はA

10

20

30

40

50

TM伝送路側のクロックにて駆動される。よって、システムバスの制御権を得てからのメモリからのデータ取り出し、CS-PDU生成の過程において上位レイヤ側のクロックからATM伝送路側のクロックへの乗換が行われることとなる。

【0195】なお、ここで、CS-PDU生成部410はCPU430のシステムバスの使用状況を観測し、使用していない場合にシステムバスを通してメモリ431にアクセスするいわゆるサイクルスチールを行っても良い。

【0196】次に、共通バッファ部121内でのデータの流れを説明する。上記のような処理を受けた後に、それぞれのデータは共通バッファ部121に入力されるが、各入力ポートから入力されたCS-PDUは、入力ポート部201においてパラレル展開される。これは、複数の入力ポート部201が単一の共通メモリ202に対して書き込みアクセスをするため、全入力ポートから共通メモリ202への書き込みデータが存在し、これらがぶつかった際にも書き込み落としが発生しないように、入力されたデータのパラレル度数を入力ポート数倍以上、具体的には8倍以上に入力ポート部201にてパラレル展開する。共通メモリ202への書き込みは、各入力ポート部201ごとに時間的にずらして、各入力ポートからの共通メモリへの書き込みが時間的に重ならないように行われる。この様子を図18に示す。

【0197】なお、共通メモリ202がデュアル・ポート・メモリで構成されていない場合、書込みと読出しを交互に行う必要から、パラレル度数はさらに2倍とする必要がある。

【0198】共通メモリ202は、図7のように、その内部がATMセルのペイロード長、具体的には48オクテットごとにペイロードスロットと呼ばれる領域に区切られており、その各々の先頭番地の内の内部が空のもの、または出力ポート部203により読みだし済みのものが空PSキュー204に格納される。空PSキュー204は、先入れ先出しのアドレスキューであり、初期設定時には共通メモリ202の全ペイロードスロットの先頭番地が格納されることになる。

【0199】この共通メモリ202へのデータの書き込みは、入力ポート部201が各々、空PSキュー204から空スロットの先頭番地を獲得し、以降、該スロットにこの先頭番地で示される番地から順次CS-PDUを格納していく。格納するデータのAALのタイプがタイプ5ならば48オクテット、タイプ1ならば47オクテットをそれぞれペイロードスロットに格納する。各ペイロードスロットへの最後のデータ格納が終了するのにもない、後尾信号にて検出した結果、それがCS-PDUの最後のデータである場合は、該ペイロードスロットに格納されているデータがCS-PDUの最後のデータである旨を共通メモリ202に格納する。通常この動作

は、AALタイプ5のみにて行われるが、AALタイプ1の8kHzフレーム伝送のように、後段（SARレイヤ処理を行う部分）との同期をとる必要がある場合にも、共通メモリの後尾指示領域を使用できる。ペイロードスロットへのデータの格納が終了した時点で該スロットの先頭番地を格納終了PSキュー205、または格納終了PSストア207に渡す。この格納終了PSキュー205も先入れ先出しのアドレスキューであり、また、格納終了PSストア207も、内部が物理的、あるいは論理的に複数のキューに分かれているとはいえ、全体的にはキューを構成しているといえる。ここで、この格納終了PSキュー205、あるいは格納終了PSストア207へのスロット先頭番地のキューイングも、各入力ポート部201間で重ならないように、各入力ポートがこの格納終了PSキュー205、または格納終了PSストア207に先頭番地を書き込める時間が決まっており、その各々は時間的にずれたものである。なお、初期設定時における格納終了PSキュー205、あるいは格納終了PSストア内にはスロットの先頭アドレスは一つも格納されていない。

【0200】出力ポート部203、あるいは206は、ATMセル生成部131から情報の取り出し依頼トリガを受け取ると、格納終了PSキュー205、あるいは格納終了PSストア207を調べる。このキュー205、あるいはストア207内に先頭アドレスが格納されている場合、すなわち共通メモリ202内に有意データの格納を終了したペイロードスロットが存在する場合には、以下のような動作を行う。

【0201】まず、格納終了PSキュー205の場合にはそのキューの先頭のアドレスを捕捉し、該アドレスが示すペイロードスロットのデータを共通メモリ202から取り出し、これをATMセル生成部131に送出する。格納終了PSキュー205に格納された先頭アドレスがない場合は、共通メモリ202内に送出すべき情報無しと判断し、その旨を有意・無意信号線を通じてATMセル生成部131に通知する。

【0202】これに対し、格納終了PSストア207の場合には、ポート、CS-PDU生成部、あるいはメッセージ番号ごとに格納終了PSキュー671と、格納終了フラグ672が用意されている。各格納終了フラグ672は、対応する格納終了PSキュー671に共通メモリ202のペイロードスロットの先頭アドレスが一つでも格納されている場合にセットされるものである。出力ポート部206が取り出し依頼トリガを受け取ると、出力ポート部206の選択制御部664は格納終了PSストア207に設けられた格納終了フラグ672を参照しに行く。この格納終了フラグ672のうち、ひとつでもセットされているものがある場合は、この中から一つを選択して対応する格納終了PSキュー671の先頭に格納されている共通メモリ202のペイロードスロットの

10

20

30

40

50

先頭アドレスを捕捉し、該アドレスが示すペイロードスロットのデータを取り出し、これをATMセル生成部131に送出する。格納終了フラグ672が一つも立っていない場合、格納終了PSストア207内に一切のペイロードスロットの先頭アドレスがないものと解釈し、送出すべき情報無しということで、その旨をATMセル生成部131に通知する。

【0203】ここで、前記格納終了フラグ672が複数個立っている場合、選択制御部664はこの中の一つを選択して先頭アドレスを取り出す必要がある。それゆえ、選択制御部664は、このようにATMセル化を行うべき複数の情報の中から該周期においてATMセル化を行う情報を一つを選択する機能を有する必要がある。この選択方法の例を以下に列挙する。

方法i) 送出すべき情報をもっとも蓄積されたバッファ（またはキュー）を選択して、ここからデータを取り出し、ATMセル化を行う。例えば格納終了PSキュー671に格納されている先頭アドレス数をもっとも多いものを選択する。

方法ii) 送出すべき情報を蓄積するバッファについて、最も大きな移動平均を有した情報入力速度を有したバッファを選択して、ここからデータを取り出しATMセル化を行う。

方法iii) 送出すべき情報を蓄積するバッファの内、リアルタイム情報（音声、画像など）を蓄積するバッファを優先してデータを取り出し、ATMセル化を行う。例えば、格納終了PSキュー671において、リアルタイム情報を格納しているポート、CS-PDU生成部、あるいはメッセージ番号に対応するキューを優先的に選択する。

方法iv) 事前に送出すべき情報を蓄積するバッファ間での優先順位を決めておき、以降この優先順位に従って情報を取り出す。例えば、格納終了PSキュー671ごとに優先順位を決めておく。

方法v) 送出すべき情報を蓄積するバッファを一定の順序に従って順番に選択していく。もし、該バッファ内に送出すべき情報がない（または足りない）場合は、該バッファは飛ばして、次のバッファを調べるような手順でもよい。例えば、格納終了PSキュー671を端から順に選択していくものである。また、先頭アドレスの入っていないキュー（格納終了フラグ672の立っていないキュー）については飛ばすようにしても良い。

方法vi) 送出すべき情報の属性や性質の組み合わせに従って、情報を蓄積するバッファからの取り出し順序を決めておき、これに従ってバッファから情報を取り出していく。例えば、送信情報の組み合わせごとに、格納終了PSキュー671の選択順序を定めたテーブルを別に用意し、これに従ってキューを選択していく。なお、取り出し順序は、あらかじめ決めておいても良いし、その都度算出しても良い。また、その算出結果を保存してお

き、次回に同様の組み合わせが生じた場合は再びこれを用いるという学習機能を組み合わせても良い。

【0204】以上のような方法のほかに、上記の方法をハイブリッドに複数個用いた方法を用いることも可能である。例えば、通常は上記方法vのように順番に情報を取り出し、あるバッファの内容量が一定値を越えた場合は上記方法iのように該バッファを優先的に選択する方法などである。

【0205】また、「特定のポート、CS-PDU生成部、あるいはメッセージ番号のキューについては、一定時間（秒）につき1回しか選択しない」などのルールを設け、格納終了フラグ672が立っている場合でもこれを選択しないなどのルールを適用することも考えられる。

【0206】また、上記の方法に、網に対してのセル流送出時に送信端末が守るべきトライック特性（UPC；Usage Parameter Control）を各バッファが遵守すべく、例えばスライディングウィンドウなどのアルゴリズムを用いて、送出すべき情報を蓄積するバッファからの情報取り出しを行う方法を加えるものあるいはこれを単独で行うものも考えられる。

【0207】また、あるCS-PDUに属するセルをひとたび選択したならば、該CS-PDUの送出を完了するまでそのCS-PDUが格納されているキューを選択し続けるといった方法も考えられる。例えば、後尾指示領域に信号がセットされているのを観測するまでは同一のメッセージ番号を選択し続ける方法が考えられる。

【0208】また、キューのいくつかをまとめてグループ化し、キューの選択制御を初めはグループ単位にて行い、続けてそのグループ内にて改めて選択制御を行うといった階層的制御を行う方法も考えられる。

【0209】また、このキュー、または共通メモリ202がオーバーフローを起こしたとき、あるいは起こしそうな時は、CS-PDU生成部や入力情報源に向かってデータの入力を抑制するようにフロー制御をかける構成も考えられる。

【0210】なお、以上のようなメディア多重、ATMセル化の方法については、本実施例のようなCS-PDU生成部（あるいはSAR-PDU生成部）に共通バッファ部、ATMセル生成部が接続されているような形態に限らず、一般の形態、すなわち複数の情報源、メディア源を単一、あるいは複数の通信伝送路上に多重する場合、例えば各メディアごとに個別のバッファ部を有している場合や、図24、図25のような場合、あるいは複数の情報源が各々ATMセル化を行い、これを単一、あるいは複数のATM伝送路上に多重する場合などにも適用することが可能である。

【0211】ATMセル生成部131に入力されるデータは図14のようなタイミングで共通バッファ部121から送られてくる。ATMセル生成部131は、このデ

10

20

30

40

50

ータにATMセルヘッダおよびSARヘッダを挿入してATMセル化を行い、外部に送出する。その際、共通バッファ部121からデータと平行に送られてくるメッセージ番号を参照し、送られているデータがどのコネクシオンに属するものなのか、AALのタイプはいくつなのかなどの情報を解析した上でSARH、ATMHの選択、挿入を行い、ATMセル化を行うこととなる。

【0212】なお、共通バッファ部121に送出すべき情報が存在しない場合は、有意・無意信号線を通じてこれが通知され、ATMセル生成部131は外部に無効セル生成部307にて生成している無効セルを送出する。

【0213】以上述べてきた例では、情報源（例えば音声、画像源）のクロックから、ATM伝送路側のクロックへの乗換をCS-PDU生成部400内のデュアルポートメモリにて行っていたが、このクロック乗換機能を共通バッファ部121の入力ポート部に割り当て、任意の速度の入力情報源を共通バッファ部121に直接接続することもできる。

【0214】図19に、この場合の共通バッファ部121内の入力ポート部211を示す。

【0215】このように、クロック乗換機能を有する場合の入力ポート部211は、入力ポート制御部711、空PS捕捉レジスタ712、カウンタ713、シリアル・パラレル変換部714、同期判断部715、データ整列確認回路716、ラッチ回路717を備えてなる。

【0216】入力ポート部711は、前述した入力ポート部201とほぼ同様のものであるが、シリアル・パラレル変換回路714にデータが整列し終わったことをデータ整列確認回路716から通知を受け、該データをラッチ回路717にて一度バッファリングし、その上で共通メモリ202に書き込む機能が加わることになる。

【0217】空PS捕捉レジスタ712、カウンタ713、同期判断部715については、空PS捕捉レジスタ612、カウンタ613、同期判断部615と同様の構成である。

【0218】シリアル・パラレル変換部714は、外部から入力されてくるデータのうち、有意であるものを選択し、これをパラレル展開する機能は同変換部614と同じであるが、この部分で外部の情報源側のクロックとATM伝送路側のクロック乗換も行う。即ち、このシリアル・パラレル変換回路714には、データが情報源側のクロックに従って入力されてくる。ここで、データ整列確認回路716は、シリアル・パラレル変換回路714内にデータが溜っていく状態を常時観測しており、データがシリアル・パラレル変換回路714の展開パラレル度数分だけ情報源側から入力されてきたということを確認した場合、これを入力ポート制御部711に通知する。このデータ整列確認回路716の確認動作はATM伝送路側のクロックに従って行われる。前述のように入力ポート制御部711は、このパラレル度数分だけ揃っ

たデータをラッチ回路717にラッチする。このラッチに関してはATM伝送路側のクロック速度で行われるため、この時点でクロックの乗換が行われたことになる。このようなクロック乗換は、ATM伝送路側のクロックが、情報源側のクロックよりも早いと考えられるので、パラレル度数を工夫することにより、ATM伝送路側のクロックによりシリアル・パラレル変換回路714のパラレル度数の計測が可能になることを利用したものである。なお、ATM伝送路側のクロックは、情報源側のクロックに比較して、少なくとも53/48倍以上の早さである。これは、フルATM流内の全セル内のペイロード一杯に情報源からの情報が格納されている場合に相当する。実際は、ヘッダ処理などによるオーバーヘッドのため、通常、ATM伝送路側のクロックは情報源側のクロックよりもさらに早い。

【0219】このような構成とすることにより、任意の速度で入力された情報のATM伝送路側クロックへの乗換が可能となる。ただし、この速度は、(ATM伝送路速度)×48/53よりも小さくする必要がある。

【0220】入力ポート部211に上記のような構成を採用した場合、この入力ポート部211を構成要素とする共通バッファ部121は入力速度フリーとなり、AALタイプ1にて音声、画像などの符号化情報のATMセル化を行う場合、CS-PDU生成部などの接続も行わず、符号化ボード等の共通バッファ部121への直接接続も可能となり、ATMセル化装置の構成の更なる柔軟化をはかることができる。なお、入力ポート部211を共通バッファ部が構成要素としている場合は、CS-PDU生成部は、内部にクロック乗換のためのデュアルポートメモリを必ずしも有している必要はない。

【0221】また、これまでの例では共通バッファ部121の共通メモリ202内にメッセージ番号の格納を行ってきたが、メッセージ番号の格納を共通メモリ202内ではなく、格納終了PSキュー205、671にペイロードスロットの先頭番地とし並行して格納することも可能である。

【0222】また、同様に後尾指示信号の格納を共通メモリ202内ではなく、格納終了PSキュー205、671にペイロードスロットの先頭番地と並行して格納することも可能である。

【0223】これらの場合は、共通メモリ202内には、純粋にCS-PDUのみが格納されることになり、出力ポート部203、206は、メッセージ番号、後尾指示信号を取り出すために格納終了PSキュー205、671にアクセスすることになる。

【0224】以上のATMセル化装置では、音声情報源、画像情報源、データ情報源、CS-PDU生成部の動的な組み合わせの変更、活線挿抜が可能なものとなっている。

【0225】ここで、各情報源、CS-PDU生成部な

どは、活線挿抜が可能であることや、組み合わせが自由であることから、その組み合わせ、属性等を、CPUなどのATMセル化装置を制御するモジュールに通知する場合がある。これは、例えばボードが挿入されたときなどに行われる。この場合は、オペレータが直接これを入力する方法の他に、レベル線や、専用のポケットにて該制御モジュールに通知する方法が考えられる。なお、この組み合わせは、ボードを挿入して行われる場合や、コネクタを介して行われる場合などが考えられるが、このインタフェースはあらかじめ標準化されたもの、例えばRS-232C等であっても良い。

【0226】このような、各情報源の自由な変更、組み合わせが可能であるのは、本装置のAAL機構がAALのタイプによらず統合されていること、および内部のバッファを共通化していることに基づくものである。上記の情報源、CS-PDU生成部等の組み合わせは、共通バッファ部のバッファ量の総量のみで左右される。すなわち、共通バッファ部を用いない場合は、情報源の組み合わせ以前に、各入力ポートごとのバッファ量でその入力ポートに接続される情報源が制限される。またCS-PDU処理、SAR-PDU処理を行うモジュールの属性が情報源の属性を制限する。

【0227】なお、パソコン等の各種端末の機能の急激な進歩、あるいはCPUの処理能力の急激な進展により、音声や画像などのリアルタイム情報の処理をも、CPU430にて行うような構成の場合について説明する。

【0228】この場合、データ情報源103、あるいはデータ情報源104がそのまま音声・画像などのリアルタイム情報の情報源ともなり、システムバス上にデータ情報の他にリアルタイム情報も流れるような構成となる。この場合は、音声、あるいは画像などに割り当てられたメッセージ番号をCS-PDU生成部が認識した場合は、該情報を透過させて共通バッファ部121に格納し、データに割り当てられたメッセージ番号をCS-PDU生成部が認識した場合は、CSレイヤ処理を行ったのちに共通バッファ部121に格納するような形とすれば良い。

【0229】以上は、複数の情報源およびCS-PDUを生成するCS-PDU生成部と、これらを入力源として、各々の入力ポートから入力されたCS-PDUを単一のメモリにて格納し、SARレイヤ処理、ATMレイヤ処理、物理レイヤ処理を施し、ATMセル化を行う単一の共通バッファ部、ATMセル生成部により構成されるATMセル化装置であった。

【0230】以上、本発明の第1の実施例に係るATMセル化装置について説明してきたが、続けて、本発明の第2の実施例に係るATMセル化装置について説明する。なお、本実施例に係るATMセル化装置の構成および動作は、上記第1の実施例と同様の部分が多いので、

ここでは、第2の実施例が第1の実施例と異なる点を主として説明する。

【0231】図20に、本発明の第2の実施例に係るATMセル化装置の構成を示す。本実施例に係るATMセル化装置も、前述した第1の実施例と同様に、リアルタイム情報源、バースト情報源双方を持ち、これら属性の異なるメディアを多重化、ATMセル化して外部に送出するものである。

【0232】図20のように、このATMセル化装置は、音声情報源501、画像情報源502、データ情報源503、504、CS-PDU生成部511~514、SAR-PDU生成部521~534、共通バッファ部531、ATMセル生成部541を備える。第1の実施例のATMセル化装置と本実施例のATMセル化装置との違いは、第1の実施例ではSARレイヤの処理をATMセル生成部131によって行っていたのを、第2の実施例ではSAR-PDU生成部521~534によって行う点である。

【0233】音声情報源501、画像情報源502、データ情報源503、504については、前記音声情報源101、前記画像情報源102、前記データ情報源103、104と同様の構成である。なお、ここでの詳細な説明は省略する。

【0234】また、CS-PDU生成部511~514は、前記CS-PDU生成部111~114とはほぼ同様の機能を有するが、生成したCS-PDUを共通バッファ部ではなく、SAR-PDU生成部521~524に格納する点と、クロック乗換のためのデュアルポートRAMを実装していない点が異なる。なお、ここでの詳細な説明は省略する。

【0235】SAR-PDU生成部521~524は、CS-PDU生成部511~514から上位レイヤの情報(CS-PDU)を受け取り、これにSARレイヤの情報を付加してSAR-PDUを作成し、共通バッファ部531に格納する機能を有する。SAR-PDU生成部521~524は、いずれのAALタイプの処理も行うが、あらかじめ呼設定の段階で、AALのタイプ1で処理させるのかあるいはタイプ5で処理させるのかを指定しておく。

【0236】図21にSAR-PDU生成部521~524の内部構成の一例を示す。このようにSAR-PDU生成部は、SARバッファ部801、SARH演算部802、SARH挿入部803、SAR制御部804を備える。

【0237】SARバッファ部801は、上位レイヤから送られてくる情報の内、必要なものを抽出し、さらに情報源側のクロックとATM伝送路側との間のクロックの乗換を行うモジュールであり、内部にデュアルポートRAMを有している。このデュアルポートRAMには、外部から入力される有意・無意信号を参照して、有意情

10

20

30

40

50



報のみが格納され、この有意情報がATM伝送路側のクロックにより読み出されることにより、クロック乗換が行われる。

【0238】SARH演算部802は、本モジュールがAALのタイプ1で動作する際の、SARヘッダ(SARH)を演算するモジュールであり、演算した結果(SARH)はSARH挿入部803に渡される。シーケンス番号のインクリメントなどのSARHの演算のタイミングは、SAR制御部804により指示される。

【0239】SARH挿入部803は、SARG演算部802より渡されたSARHをSAR制御部804により指定されたタイミングでデータ信号に挿入してSAR-PDUを生成し、外部に送出する。

【0240】SAR制御部804は、SAR-PDU生成部の各構成部分を制御する機能を有し、SARバッファ部801からのデータのATM伝送路側クロックでの読みだし、SARH演算部802へのSARH演算の指示、SARバッファ部801からのデータ読みだしと同期したSARH挿入部803へのSARH挿入指示、およびSAR-PDU作成、共通バッファ部531に送出する有意・無意信号、SAR-PDU先頭信号の生成、メッセージ番号、後尾信号の受信、及び共通バッファ部531への送信等を行う。

【0241】SAR-PDU生成部は、AALタイプ1処理を行う場合は、SAR制御部804により各モジュールが制御され、SARHが挿入されてSAR-PDUが生成され、共通バッファ部531に送出される。AALタイプ5処理を行う場合は、CS-PDUの分割動作以外には実質的にSARレイヤの作業はないため、SAR制御部804と、SARバッファ部801によるクロック乗換動作以外の機能はマスクされる。

【0242】なお、このSAR-PDU生成部には、複数の(メッセージ番号の異なる)CS-PDUが同時に入力され、その各々についてSAR-PDUを生成するべく、複数のSARヘッダを用意し、この中から適当なものを選択してSAR-PDUを生成できるような構成になっていても良い。

【0243】共通バッファ部531は、前記共通バッファ部121とほぼ同一の構成であるが、SAR-PDUの生成がSAR-PDU生成部により行われるため、その各々の入力ポートにSAR-PDU生成部が接続される点と、共通メモリ202内のひとつのペイロードスロットに格納されるデータがAALのタイプに関わらず48オクテットとなる点異なる。

【0244】ATMセル生成部541は、前記ATMセル生成部131とほぼ同様の構成であるが、SARレイヤ処理をSAR-PDU生成部が行うため、制御部309がSARレイヤに関する処理を行わない点、メッセージ番号解析部303のテーブル内にSARHに関する情報が格納されない点、およびSARH付与部304が

ないという点異なる。

【0245】以上のような構成を有するこの第2の実施例に係るATMセル化装置においても、SARレイヤ処理をSAR-PDU生成部にて行う点を除いて、第1の実施例におけるATMセル化装置とほぼ同様の流れでリアルタイム、バースト両情報のATMセル化が行われる。

【0246】また、この第2の実施例におけるATMセル化装置においても、音声情報源、画像情報源、CS-PDU生成部、SAR-PDU生成部のそれぞれの動的な組み合わせの変更、活線挿抜が可能なものとなっている。

【0247】以上、本発明の第1および第2の実施例に係るATMセル化装置について詳細に説明してきたが、第1の実施例においてはSARレイヤ処理、ATMレイヤ処理、物理レイヤ処理を共用して行っているため、ハードウェア量の削減と制御の単純化をはかることができ、第2の実施例においてはATMレイヤ処理、物理レイヤ処理を共用して行っているため、ハードウェア量の削減と制御の単純化をはかることができる。

【0248】また、第1の実施例においてはCS-PDU生成部とATMセル生成部の間に、第2の実施例においてはSAR-PDU生成部とATMセル生成部の間に各入力源ごとに個別のバッファを用意するのではなく、共通のバッファを用意している。ここで、通常、情報のATMセル化を行う際には、情報源からのデータへのヘッダ付与など、セル化の際のオーバーヘッドのための待ち合わせ、あるいは他の情報源からのデータ送出の際の待ち合わせのためのバッファリング機構が必須となる。従来、このバッファリング機構を個々の情報源ごとに準備する場合、その情報源の出し得る最高速度、または他の情報源との組み合わせから算出される最悪時の最長待ち合わせ時間に対応したバッファ量をそれぞれの情報源ごとに準備しておく必要があった。また、この場合、情報源の変更を行う必要ができたとき、例えば音声の符号化レートをあげる際など、旧情報源に接続されていたバッファ(の容量)の変更をも強いるものとなっていた。

【0249】これに対し、該バッファの構成を共通バッファ構成とし、共通バッファ部内を各入力情報源ごとに(あるいはCS-PDU生成部、メッセージ番号ごとなど)に対応した論理FIFOとして構成することにより、各々の入力情報源から入力される情報のバースト性および情報入力速度のひろがりの双方を吸収する機構を柔軟かつ弾力性に富んだ形で提供することが可能となり、結果として大幅な総バッファ量の削減が可能となる。

【0250】また、本装置のAAL機構をAALタイプ1(リアルタイム通信)とAALタイプ5(データ通信)に統合し、これらのAAL処理を同一の機構を用いて行えることから、その情報入力源の属性、性質、その

組み合わせを制約無しに自由に選択し、あるいは組み替えを行うことができ、ATMセル化機構の統合化、効率化、柔軟化をはかることが可能となる。

【0251】また、上記共通バッファ部が、その内部にCS-PDU生成部、あるいはSAR-PDU生成部、あるいはメッセージ番号ごとに論理的なFIFOを構成し、更に上記ATMセル生成部がセル周期ごとに上記論理的なFIFOに格納された情報量を計測し、該FIFOにセルを生成するに十分な量の情報が格納されている場合にはこの条件を満たす論理FIFOのうちから一つ

を選択してここから情報を取り出し、ATMセル化を行い、この条件を満たすFIFOがない場合には無効セルを送出することにより、各情報源から入力されてきた情報の多重化、及びATM多重の形で行われることとなり、統計多重効果をも期待できることになる。

【0252】また、上記CS-PDU生成部に入力される情報ごとに呼設定時にAALタイプを設定し、ATMセル生成部がこのタイプに従ってATMセル化を行うことにより、いろいろな属性を有した情報源からの情報のATMセル化を単一のATMセル生成部により行うことができる。

【0253】本実施例においては、CS-PDU生成部とSAR-PDU生成部が分離した形態での例を示したが、CSレイヤの処理と、SARレイヤの処理を単一のモジュールにて行い、該モジュールがAALタイプ1とAALタイプ5の処理を切り替えて行うような構成のATMセル化装置も本発明に含まれるものである。

【0254】また、リアルタイム情報のATMセル化を本実施例ではAALタイプ1にて行っているが、これをAALタイプ2も選択できるように本装置を構成することも可能である。すなわち、AALタイプ2は、AALタイプ1とAALタイプ5とを組み合わせたような形で構成される可能性が高いので、本装置をAALタイプ2にも拡張することが容易にできるわけである。

【0255】また、本実施例ではATMセル化を行い、ATMセル流を送出するATM伝送路(ATM側出力)は一つであるものとして説明してきたが、ATMセル生成部を複数個持ち、ATM側出力を複数個持つような同様の構成のATMセル化装置も本発明に含まれるものである。これは、例えば1端末が送出する情報量が大いとか、フォールトトレラントのため予備系の出力として複数個のインタフェース点を持つ場合などに考えられる構成である。この場合、ATM側出力は、ITU-TSにて標準化が行われているTB点、SB点であっても良いし、その他のインタフェース、例えばATMフォーラム・インタフェースや、構内網にて使用可能な独自インタフェースなどであってもよい。また、それらを組み合わせたものでも良い。

【0256】以上、本発明に係るのATMセル化装置について説明してきたが、次に、本発明に係るATMデセル

化装置の各実施例について説明する。

【0257】図26に、本発明の第3の実施例に係るATMデセル化装置の構成を示す。このATMデセル化装置は、受信情報処理装置として音声、画像の各リアルタイムデータの再生装置と、計算機ファイルデータなどのデータ受信装置(バースト情報受信装置)を持ち、これらの属性のことなる多様なメディアの情報を格納したATMセルの受信、並びにATMデセル化を行い、情報の再生を行うものである。ここで、音声、画像の各リアルタイムデータはAALタイプ1にて、バーストデータはAALタイプ5にてそれぞれATMセル化されて送信されてくるものとする。

【0258】図26に示すように、本実施例のATMデセル化装置は、ATM処理部1101、共通バッファ部1111、SAR処理部1121~1124、CS処理部1131~1134、音制再生部1141、画像再生部1142、データ再生部1143、1144を備える。

【0259】ATM処理部1101は、外部から入力されたATMセル流に対して、物理レイヤ処理およびATMレイヤ処理を行う。具体的には、入力データのセル同期、デスクランブル、セルヘッダ値(VPI/VC I/PT/CLP値)を参照した上での共通バッファ部1111へのデータの格納を行う。後述するように、共通バッファ部1111のデータの格納は、共通バッファ部1111の内部が論理的に複数のFIFO(先入れ先出しバッファ)を構成しており、上記のヘッダ値を参照した上で該ヘッダ値を有したセルがどのメッセージ番号(後述)に属しているかを判断し、このメッセージ番号に対応した論理FIFOにデータを格納することによって行われる。ここで、ATMセルヘッダは、このATM処理部1101内で削除され、共通バッファ部1111にはATMセルのペイロード(セル情報部)のみが格納される。

【0260】共通バッファ部1111は、1入力N出力(Nは1以上の整数、例えばN=8)のメモリであり、ATM処理部1101から出力されたデータ(ATMセルペイロード)を一時的に格納し、後段に接続された1または複数のSAR処理部にそれぞれに対応するデータを渡すものである。この共通バッファ部1111は、後段の複数のSAR処理部間で共通に使用される。以下、共通バッファ部の入力を入力ポート、出力を出力ポートと呼ぶ。

【0261】SAR処理部1121~1124は、共通バッファ部1111からデータを受け取り、これらのデータに対しATMアダプテーションレイヤ・セグメンテーション・アンド・リアセンブリ・サブレイヤ処理(以下、SAR処理と呼ぶ)を施し、AAL・CSプロトコル・データ・ユニット(以下、CS-PDUと呼ぶ)を生成して、CS処理部1131~1134にそれぞれ渡

10

20

30

40

50

す機能（具体的にはリアセンブリの機能）およびAALタイプ1のリアセンブリ以外の機能の全部または一部を有する。後述するように、これらSAR処理部1131～1134の内部構成は全て同一のものとなっている。ここで、SAR処理部1121、1122においては、生成するCS-PDUが実際には連続情報（音声情報、画像情報）であるので、CS-PDUがパケット形式のデータとして本モジュールで再生されるわけではないが、説明を簡略化するためにこのように呼ぶものとする。

【0262】CS処理部1131は、SAR処理部1121から入力された情報をそのまま透過的に音声再生部1141に渡す。これは、本装置において音声のATMセル化、デセル化をAALタイプ1を用いて行うため、本処理部における機能が透過的となることに基づくものである。ただし、このCS処理部1131の内部構造は他のCS処理部1132、1133と同一のものである。

【0263】音声再生部1141は、CS処理部1131から受け取ったPCM符号化された符号（例えば64 kbps 音声符号）を複号化し、音声信号として再生する。

【0264】CS処理部1132は、SAR処理部1121から入力された情報をそのまま透過的に音声再生部1142に渡す。これは、本装置において画像のATMセル化、デセル化をAALタイプ1を用いて行うため、本処理部における機能が透過的となることに基づくものである。このCS処理部1132の内部構造も他のCS処理部1131、1133と同様である。

【0265】画像再生部1142は、CS処理部1132から受け取った画像符号化信号を複号化し、画像信号として再生する。ここで、画像情報の符号化は、たとえば5Mbps、あるいは10Mbps、40Mbpsなどの定速度符号化でなされており、画像符号化の標準であるMPEG、JPEG、H.261などにより行われるものとする。

【0266】CS処理部1133、1134は、SAR処理部1123、1241からそれぞれ受け取ったデータ（CS-PDU）に対し、CSレイヤ処理を行い、CS-SDU（AAL-SDU）を生成し、これをデータ再生部1143、1144に渡す。ここで、後述するようにデータ再生部1143、1144の構成が互いに異なるため、CS処理部1133と同1134とは、機能は上述のように同一であるが、その内部構成は互いに異なるものとなっている。

【0267】データ再生部1143は、バイナリデータのファイル転送などに代表されるバーストデータを受け取り、これを処理・再生するものであり、OSIプロトコルスタックのレイヤ2以上の処理を行う。データ再生部1143においては、受信データの再生は、OSIプ

ロトコルスタックのレイヤ2、3、4の処理（実際にはレイヤ2がヌルであるためレイヤ3、4の処理）はXTPプロトコルによるハードウェア処理にて、レイヤ5以上の処理は汎用プロセッサによるソフトウェア処理にて行われる。CS処理部1133と、データ再生部1143間のデータの受け渡しはデータストリームの形でも、データをメモリに格納した上でのポインタ渡しの形でも良いが、本実施例ではデータストリームの形でデータ受け渡しが行われる場合を考える。

10 【0268】データ再生部1144は、データ再生部1145と同様にバーストデータの処理・再生を行うものであるが、OSIプロトコルスタックのレイヤ2以上は全てソフトウェア処理で行われ、内部構成はデータ再生部1143とは異なるものとなっている。

【0269】図27は、ATM処理部1101の内部構成を示した図である。このATM処理部1101は、伝送路インタフェース部1011、セル同期・デスクランブル部1012、ヘッダ・ペイロード分離部1013、VCI／メッセージ番号変換部1014、制御部1015を備える。

20 【0270】伝送路インタフェース部1011は、外部から入力されてくる信号を、内部回路の処理形態であるフルATMセル流に変換する回路である。具体的には、外部から入力されてくる信号が光信号である場合には、光・電気変換を施し、電気信号とする。また、入力信号がSDHフレーム形態である場合は、SDHフレームの検出などを行った後、SDHペイロードに格納されているデータを取り出し、セル同期・デスクランブル部1012に渡す。なお、このデータがフルATMセル流となる。

30 【0271】セル同期・デスクランブル部1012は、伝送路インタフェース部1011から入力されてきたフルATMセル流から、ATMセル同期をとり、セルの先頭位置を次段以降のモジュールに通知するとともに、検出したセル位相をもとにセルペイロード部についてデータのデスクランブルを行う機能を有する。この機能はITU-TS勧告I.432に準拠したものとなっていて、良いし、独自インタフェースとしても良い。

40 【0272】ヘッダ・ペイロード分離部1013は、入力されてきたセルデータの内、ATMセルヘッダについてはVCI／メッセージ番号変換部1014に渡し、該到着セルの属するメッセージ番号等を検索させるとともに、セルペイロードについては、これを共通バッファ部1111に格納すべくペイロード先頭信号とともに共通バッファ部1111に送出する。

50 【0273】VCI／メッセージ番号変換部1014は、ヘッダ・ペイロード分離部1013から渡されるATMセルヘッダを解析し、このセルの属するメッセージ番号等を検索して、この情報も次段以降に通知する。また、PTフィールドの上位ユーザ間表示ビットが立って

いる場合、すなわちHレベルとなっている場合は、これも後尾信号として次段以降に通知する。これはAALタイプ5において、PTフィールドの上位ユーザ間表示ビットが、CS-PDUの最後尾を含むセルに付与されているため、これを後段の回路に通知する必要があるためのものである。

【0274】ここで、メッセージ番号とは、現在処理中の情報がどのトランスポートレイヤサヘビスアクセスポイント（レイヤ4SAPと呼ぶ）同士、あるいはアプリケーションプログラム同士の通信であるのかに関する番号情報である。より具体的には、処理中の該データが、どのレイヤ4SAP、あるいはアプリケーションプログラムによる通信であるのかをATMデセル化装置にて一意に認識するための番号であり、この番号を基に該セル（メッセージ）が属するコネクション、ATMヘッダ値、AALのタイプ、属性、レイヤ4SAP、アプリケーションなどが対応付けされる。このメッセージ番号の付与の仕方については後述する。

【0275】このメッセージ番号を受診したセルのヘッダ値から検索するために、VCI/メッセージ番号変換部1014内には、VCI/メッセージ番号変換テーブルがある。図28に、このVCI/メッセージ番号変換テーブルの構成を示す。このようにVCI/メッセージ番号変換テーブルでは、入力されたATMセルヘッダからポート番号メッセージ番号が検索される。なお、このポート番号は、共通バッファ部1111の出力ポート番号に相当する。

【0276】ここで、理想的には入力されるVPI/VCI/PT/CLP値から一意にメッセージ番号・ポート番号値が得られるように、VPI/VCI/PT/CLP値をアドレスとしたメモリ空間をVCI/メッセージ番号変換テーブル（以下テーブルという）を構築し、表引きを簡単にするのが理想であるが、現実にはVPI/VCI/PT/CLPはUNIの場合総計28ビットもあり、テーブルとして2の28乗のアドレス空間をあらかじめ準備しておくことは現実的でない。そもそも、このアドレス空間の中で実際に、同時に使用されるヘッダ値は2の28乗に比べれば極めて小さな値であり、アドレス空間の無駄となるわけである。

【0277】そこで、本実施例では、このATMセルヘッダ値（VPI/VCI/PT/CLP値）に対してハッシングを行い、テーブルの検索アドレスへの写像を行っている。具体的には、ヘッダ値をあるハッシュ関数を通すことにより、より小さなアドレス空間にマッピングを行う。このハッシュ関数を通した後のアドレス空間の大きさが、本実施例におけるATMデセル化装置の収容メッセージ番号数の大きさとなる。なお、このATMセルヘッダ値と、メッセージ番号との対応を求めるに当たって、ハッシュ関数を用いる方法のほか連想写像を用いる方法や、B木を用いる方法、あるいはシグナリング

時に割り当てるATMセルヘッダ値を制限し、最初からテーブルに納まる範囲のセルヘッダ値しか与えない方法を使用しても良い。ここに、連想写像を用いる方法としては、例えば、メッセージ番号の分だけのエントリを持った表を用い、このエントリにヘッダ値をいれておき、入力ATMセルヘッダ値と全エントリの値をハードウェア的に同時に比較し、一致したエントリの番号をメッセージ番号、またはメッセージ番号の一部として用いる方法、あるいはこの方法を数段重ねて使用する方法などが考えられる。

【0278】これらの方法はシグナリング時において受信方向、即ち網から本実施例のATMデセル化装置の方向のATMセルヘッダ値（VCI値など）を決定する主体が網側である場合、即ち受信側端末、あるいは本ATMデセル化装置側にヘッダ値の決定権がない場合に、特に有効な手法である。

【0279】ATMセルヘッダ値を決定する権限が受信側装置（ATMデセル化装置）側にある場合は、上記のような方法を用いなくても、例えば使用するVPI/VCIの値は何番から何番までと言うようにあらかじめ決めておき、シグナリング手順時に該番号を使用してセルを送信するように網側に通知することにより、自分（ATMデセル化装置）に都合の良いATMセルヘッダ値を設定することができる。この場合は、図28にあるハードウェア比較器、またはハッシュ関数回路の規模は前述の例と比べ極めて小さいものとすることができる。例えば、VPI/VCI値のうち、あらかじめ決まった桁のみ見れば良いと設定する方法、あらかじめ決まった桁の番号をVCI/メッセージ番号変換テーブルのアドレスとする方法、どのメッセージ番号/メディア/属性/ポート番号/AALタイプ/MIDの通信で使用するATMセルヘッダ値はこの値とあらかじめ決めておき、固定的に該テーブルを用意しておく方法、あるいはヘッダ値のある決まった桁をメッセージ番号とする方法などが考えられる。

【0280】なお、このテーブルになんら値が設定されていないとき、例えば値0がポート番号/メッセージ番号値として設定されているときなどには、該入力セルは本ATMデセル化装置で処理するセルではなく無意セルであると判断して、有意・無意信号にこの判断を反映する。例えば、無意セルの時は有意・無意番号をLレベルとし、有意セルの時はHレベルとすれば良い。また、このテーブル中に有意であるか無意であるかを判断するビットを設けても良い。なお、該メッセージ番号に該当しないセル、すなわち該テーブルに登録されていないセルが入力された場合などの異常通知を行う手段を内部に有していても良い。

【0281】制御部1015は、ATM処理部1101の各モジュールの制御を行う。

【0282】次に、図29に共通バッファ部1111の

10

20

30

40

50

内部構成の一例の図を示す。このように共通バッファ部 1111は、入力ポート部2201、共通メモリ2202、複数の出力ポート2203、空ペイロードスロットアドレスキュー（以下、場合によって空PSキューと略記する）2204を備える。なお、本実施例では、出力ポート部2203は8個とする。

【0283】入力ポート部2201は、ATM処理部から受け取ったデータ（後述するペイロードデータ）に対し、並行して送られてくる有意・無意信号、ポート番号、メッセージ番号等を参照し、該ペイロードスロットに格納するとともに、該メッセージ番号や後尾信号を該当する出力ポートの出力ポート部2203に通知する。

【0284】図30に、入力ポート部2201の内部構成図を示す。このように入力ポート部2201は、入力ポート制御部2011、カウンタ2012、空ペイロードスロット捕捉レジスタ（以下、場合によって空PS捕捉レジスタと略記する）2013、ポート番号指定回路2014、データラッチ2015を備える。

【0285】入力ポート制御部2011は、入力ポート部2201を制御するものであり、特に、データラッチ2015を通して有意・無意情報を受信し、入力ポート部2201に入力されてきているペイロードデータを共通メモリ2202に格納するか否かを判断する。そして、有意であれば格納し、無意であれば格納しない。格納すると判断した場合は、空PSキュー2204から空PSアドレスを一つフェッチし、これを空PS捕捉レジスタ2013に格納するとともに、共通メモリ2202の書き込みアドレスの下位ビットを形成するカウンタ2012をインクリメントすることにより共通メモリ2202への書き込みアドレスを作成して、入力されてきたペイロードデータをこれに同期させて書き込ませ、書き込みが終了したペイロードスロットに関しては、このペイロードスロットのアドレスを、該データが送出される出力ポートにメッセージ番号、後尾信号とともに通知する。なお、この出力ポート番号もATM処理部1101から通知される。

【0286】カウンタ2012は、前述のように共通メモリ2202へ書き込みアドレスの下位ビットとなる。この値は、セルペイロードデータの入力位相と同期して、該ペイロードデータの格納が終了するまでインクリメントされる。

【0287】空ペイロードスロット捕捉レジスタ（空PS捕捉レジスタ）2013は、前述のように、入力ポート制御部2011が空PSキュー2204から捕捉した共通メモリ2202のペイロードスロットアドレスを格納しておき、該入力ポート部2201が共通メモリ2202にデータを格納する番地のベースアドレスとする機能を有する。

【0288】この空PS捕捉レジスタ2013の値と、カウンタ2012の値の和の値が共通メモリ2202の

書き込みアドレスとなる。

【0289】ポート番号指定回路2014は、ATM処理部1101から受信したポート番号を解析して、該ポート番号を有する出力ポート部2203に対して、メッセージ番号、後尾信号、ペイロードスロットアドレスを通知すべく、ポートセレクト信号とともに送出される。該出力ポート部2203は、この送られてきたペイロードスロットアドレスなどの信号により、自ポート宛に送られてきたペイロードデータを認識することになる。このあて先、伝達内容は、ペイロードデータの周期（すなわちセル周期）に同期して変わることとなる。ここに、ポートセレクト信号は、対象出力ポートを指定するためのイネーブル信号であって、出力ポート数の線が出ており、対象とする出力ポートにつながる線のみがHレベルとなる。データラッチ2015は、ペイロードデータ、有意・無意信号等を受信し、適当なタイミングにてこれらの信号を入力ポート制御部2011、共通メモリ2202等に伝達する機能を有する。なお、後述するように共通メモリ2202へのペイロードデータの書き込みは、パラレル度数を増やした上で、具体的には本実施例では出力ポート数が8であるので、入力データの8倍または16倍のパラレル度数で行われるので、このデータラッチ2015内にて適当なシリアル・パラレル変換が行われる。

【0290】共通メモリ2202は、複数（ここでは、8つ）の出力ポート部2203に対して出力されるデータを出力ポートの別無く一括して格納するバッファである。メモリ内は、ATMセルのペイロード長、具体的には48オクテットごとに区切られている。以下、このひと区切りのことをペイロードスロットと呼ぶ。このペイロードスロットの各先頭番地が、空PSキュー2204、または各出力ポート部2203内のFIFO2032（図32参照）等に格納されることになる。この共通メモリ2202は大容量メモリである。この共通メモリ2202の内部構成を図31に示す。ただし、このメモリへの入出力のパラレル度数は、前述の通り本ATMデセル化装置の入力データのパラレル度数（8ビットパラレル）の8倍、すなわち64ビットパラレル、あるいは16倍の128ビットパラレルにて行われる。これは、後述のように、各出力ポートに対して公平にデータ送出を行うための工夫である。

【0291】出力ポート部2203は、入力ポート部2201から受け取ったペイロードスロットアドレス、メッセージ番号、後尾信号などをその内部にキューにため込み、この順にしたがって共通メモリ2202内に格納された該出力ポート向けのデータを順次取り出して、これに対応するSAR処理部1121～1124に渡す。出力ポート部2203は、共通バッファ部1111内において複数個配置されるが、その内部構成は同様のものである。

10

20

30

40

50

【0292】図32は、出力ポート部2203の内部構成図である。このように出力ポート部2203は、イネーブル付きバッファ2031、FIFO2032、取り出し制御部2033、格納終了ペイロードスロット捕捉レジスタ2034、カウンタ2035から構成される。

【0293】イネーブル付きバッファ2031は、入力ポート部2201から送られてくるペイロードスロットアドレス、メッセージ番号、後尾信号が自出力ポート部への信号である場合にこれを取り込むためにバッファをイネーブルして、該信号群をFIFO2202に格納させる。

【0294】入力ポート部2201から、複数の出力ポート部2203へ送られる前記信号群は（ポートセレクト信号をのぞいて）バス上にのせられて各出力ポート部2203に放送される。ポートセレクト信号線のみは入力ポート部2201と、出力ポート部2203間で1対1で結ばれており、この信号線を使って入力ポート部2201は、現在バスに乗せている信号群がどの出力ポート部2203行きであるのかを示す。これらの信号群は、VCI／メッセージ番号変換テーブルにて無意セルでないと判断されない限り、セル周期にていずれかの出力ポート部2203に送られてくる。

【0295】FIFO2032は、イネーブル付きバッファ2031から送られてきたペイロードスロットアドレス、メッセージ番号、後尾信号をそれぞれ並列に格納する先入れ先出しバッファである。FIFO2032からの格納データの取り出しは、取り出し制御部2033により行われる。

【0296】取り出し制御部2033は、上位レイヤ（AALレイヤ以上）の指示に従って共通メモリ2202からデータを取り出し、これを上位レイヤに渡すべく、必要に応じてFIFO2032から格納終了ペイロードスロットアドレスを取り出してこれを格納終了ペイロードスロット捕捉レジスタ（以下、場合によって格納終了PS捕捉レジスタと略記する）2034に格納し、カウンタ2035の制御と合わせて共通メモリ2202の読みだしアドレスを生成し、データの取り出し、および該データを上位レイヤ（SAR処理部1121～1124）に渡す。また、FIFO2032内になんらペイロードスロットアドレスなどが格納されていない場合、上位レイヤに向かって送出すべき情報が共通メモリ2202内に格納されていない旨を通知する。また、該ペイロードスロットのデータをすべて読みだした場合、該ペイロードスロットアドレスを空PSキュー2204に格納し、次の使用に備えさせる機能も有する。また、上位レイヤにてセル抜けが検出された場合など、共通メモリ2202内のデータを一時的にためておき、後に再び取り出すというような場合は、該動作を行うべくFIFO2032の状態をデータを取り出す前の状態に保持しておき、さらにカウンタ2035の動作を行わないこと

により共通メモリ2202からのデータ読みだしを行わないとともに、次の読みだしタイミングの際に再び同じ情報を読み出せるようにしておく機能も有する。

【0297】格納終了ペイロードスロット捕捉レジスタ2034は、FIFO2032より取り出された共通メモリ2202のペイロードスロットの先頭番地を格納しておくためのレジスタである。出力ポート部2203では、該取り出し手順中においては、このレジスタ2034に格納された先頭番地にて指定されるペイロードスロットに格納されているデータを取り出すこととなる。実際には、前述のように出力ポート部2203は、このバッファ2034とカウンタ2035の値の和を共通メモリ2202の読みだしアドレスとして参照するため、このレジスタ2034に格納された値は共通メモリ2202の読みだし番地のベースアドレスとなる。また、データ取り出しが終了したペイロードスロットアドレスは、取り出し制御部2033により空PSキュー2203に転送され、次の使用に備えられる。

【0298】カウンタ2035は、取り出し制御部2033が対応するSAR処理部1121～1124からの読みだし許可信号を受信し、かつFIFO2032内でデータの格納が終了したペイロードスロットの先頭番地が格納されている場合に、取り出し制御部2033から軌道をかけられ、格納終了PS捕捉レジスタ2034にて指定される共通メモリ2202の該ペイロードスロットからのデータ読みだしを完了するまでその示す値は該ペイロードスロットからのデータ取り出しに伴いインクリメントされる。

【0299】この格納終了PS捕捉レジスタ2034の値とカウンタ2035の値の和が共通メモリ2202の読みだしアドレスとなり、データがここから取り出され、FIFO2032からのメッセージ番号、後尾信号、取り出し制御部2033からの有意・無意信号とともにSAR処理部1121～1124に送出される。

【0300】この共通メモリ2202からのデータ読みだしの周期および読みだしクロック速度については種々の場合が考えられる。まず、データ読みだし周期については、入力ポート2201の共通メモリ2202へのデータ格納周期すなわちセル周期と同一の周期で行うことも可能である。その代わりに、この周期とは関係なく上位レイヤからの読みだし許可信号を受信し、かつFIFO2032内に格納終了PSアドレスが格納されている場合には無条件に、あるいはさらにいくつかの付加条件を設けて共通メモリ2202内のデータを取り出す手順を用いることも可能である。前者は制御の単純さが、後者はスループットの向上がそれぞれ期待できる。ただし、後者の場合は、どこがペイロードデータの先頭であるかを示す先頭信号をSAR処理部側に送出する必要がある場合もある。また、読みだしクロックについては、入力ポート側のクロック速度（すなわちフルATMセル

10

20

30

40

50

速度)にて行うことも、上位レイヤのクロック速度にて行うことも可能である。ただし、上位レイヤのクロック速度は必ず入力ポート側のクロック速度よりも遅いので、この速い側のクロックである入力ポート側のクロックにて取り出し制御部2033を制御することにより、このような機構を構築することは可能である。また、後者の場合は、上位レイヤへのクロック乗換をこの部分にて行うこととなる。ただし、制御の単純化を図るため、出力ポート部内にデュアルポートメモリを設け、共通メモリ2202からのデータ読みだしは入力ポート側のクロックで行い、これを該デュアルポートメモリに格納し、ここから上位レイヤクロックにて読み出す形でも良い。この型式では各出力ポート部間の共通メモリ2202への読みだしアクセス権の制御が容易になる。

【0301】次に、図33にSAR処理部1121~1124の内部構成図を示す。このSAR処理部は、SARH演算部1211、SARH解析部1212、ダミーパターン生成部1213、セクタ1214、ラッチ1215を備える。

【0302】SARH演算部1211は、該SAR処理部がAALタイプ1の処理モードにて動作をしている場合に、共通バッファ部1111から送られてくるデータのうち、SARヘッダを取り込んで、このCRC演算、パリティ演算を行う。この結果を実際に送られてきたSARヘッダと比較し、現在のモード(誤り訂正モード/誤り検出モードの状態遷移)を決定するとともに、適当な誤り訂正を行ってその結果をSARH解析部1212に送出する。SARHの誤りの訂正ができない場合は、その旨をSARH解析部1212に通知させて、これを有意・無意信号に反映させる。すなわち、無意とさせるSARH解析部1212は、SARH演算部1211から誤り訂正後のSARH(シーケンス番号)を受取り、セルの到着順序の観察、解析を行う。この解析の結果から、セル抜けやセル混入することなく、正常にセルが受信されているときは、セクタ1214を制御して入力データをそのまま対応するCS処理部に送出し、一方、セル混入が認められたときは該セルを廃棄すべく、CS処理部に向かう有意・無意信号を無意(例えばLレベル)としてこれを通知する。セル抜けと判断されたときは、該抜けセルの補償を行うべくセクタ1214を制御してダミーパターンをCS処理部側に送出するとともに、共通バッファ部1111内に格納されているデータについては後に改めて使用すべく、読みだし許可信号を不許可(例えばLレベル)としてこれを共通バッファ部1111側に通知する。

【0303】ダミーパターン生成部1213は、SARH解析部1212によってセル抜けが検出された際に、これを補償するために挿入されるダミーパターンを生成するためのものである。ここからは一定パターンの情報が送出されても良いし、ここはダミーパターンであると

上位レイヤが認識できるようなパターンを送出しても良い。また、情報抜けを適切に補償するパターン、例えば前セルと同一のパターン、あるいは無音を示すパターンなどがあればそれを送出しても良い。

【0304】セクタ1214は、SARH解析部1212からの指示に従い、共通バッファ部1111から送られてくるデータと、ダミーパターン生成部1213から送られてくるダミーパターンとを適当に選択して、これを対応するCS処理部側に送出する。

【0305】ラッチ1215は、共通バッファ部1111から受信した有意・無意信号、メッセージ番号、後尾信号を適切なタイミング(データの送出タイミング)に併せて対応するCS処理部側に送出させる。

【0306】なお、このラッチ1215がAALタイプ5にて動作を行う場合には、SARH演算部1211、SARH解析部1212の各機能はマスクされ、データはそのまま、ダミーパターンは選択されずに、対応するCS処理部に送られることになる。この場合、リアセンブリの機能のみを有することとなる。

【0307】どちらのAALタイプにて処理を行うかの設定は外部から行うことができる。また、SARH誤りに関する情報、混入セル数、抜けセル数などを保持し、外部、例えば上位レイヤに通知する手段をSAR処理部内に設けても良い。

【0308】なお、共通バッファ部1111にて上位レイヤ側クロックへのクロック乗換を行わない場合、デュアルポートメモリを装備し、クロック乗換を行っても良い。

【0309】図34は、CS処理部1133とその上位のデータ再生部1143の内部構成の一例の図である。前述のようにCS処理部1113の上位のデータ再生部1143が、レイヤ2からレイヤ4までの処理を担当するXTPハードウェア1330、レイヤ5より上のレイヤ処理およびアプリケーションプログラムを担当するCPU1331、ならびにメモリ1332により構成されている例である。この図33において、CS処理部1133は、CSヘッダ/トレイラ解析部1311、バッファA(1312)、バッファB(1313)、セクタ1314、メッセージ番号レジスタ1315を備える。

【0310】CSヘッダ/トレイラ解析部1311は、該CS処理部がAALタイプ5の処理モードにて動作をしている場合に、対応するSAR処理部から入力されてくるデータのうち、CSヘッダ・トレイラを抽出し、これを解析して必要な処理を施す。具体的には、AALタイプ5・CPCSヘッダ・トレイラであるPAD、AAL、Length、CRCの各領域を参照し、上位レイヤが必要とする実情報(即ちCS-SDU)を抽出して、これを上位レイヤに渡すべくバッファA(1312)、バッファB(1313)、およびセクタ1314を制御する。情報の抜けがあった場合、あるいは訂正

10

20

30

40

50

不可能なビット誤りがあった場合などはこれを上位レイヤに通知すべくXTPハードウェアに向かう有効・無効信号線は無効（例えばLレベル）にセットする。

【0311】バッファA（1312）、バッファB（1313）は、それぞれ内部にCS-PDUを構築するために用いられる。対応するSAR処理部から受信したデータは、CSヘッダ・トレイラを分離した上でバッファA（1312）、またはバッファB（1313）に格納される。この格納は、CS-PDUごとにバッファA

（1312）、バッファB（1313）で交互に行われる。即ち、一つのバッファで一つのCS-PDUが交互に構築される。一方のバッファに対してデータの入力が行われている間に、他方のバッファからセクタ1314を介してXTPハードウェアに対してデータ（CS-PDU）の送出が行われる。CS処理部においては、受信しているデータがきちんとCS-SDUを構築しているかどうかを最終的に判断して正常なCS-SDUのみを上位レイヤに送出するといったことを行う場合、一度その内部に受信したCS-PDUをすべて格納し、Length調査、あるいはCRC演算（誤り検出演算）を行う必要がある。CS処理部中にこのデータを溜めるためのバッファが一つしかない場合は、この蓄積を行っている間は該調査が終了していないために、上位レイヤに対してはデータの送出ができない。ただし、上位レイヤに対して該バッファ内にためられたデータを送出している間にこのバッファ内に入力データをため込んでいくことは制御が複雑にはなるが可能である。

【0312】これに対し、本実施例のATMデセル化装置におけるCS処理部では、このようにデュアルバッファ構成となっていることにより、片方のバッファにて入力動作、もう片方のバッファにて出力動作を交互に行うことができ、CSレイヤ処理（CPCSレイヤ処理）を停止することなく連続的に行うことができ、スループットの向上をはかることが可能である。

【0313】なお、この構成は、本実施例のCS処理部にあるCS-PDUが、他のCS-PDUとのATM多重を受けずに、順序立ててくる場合にのみ適用が可能である。例えば、自装置および／または通信相手の上位レイヤのポート数、アプリケーション数、プロセス数、スレッド数が1つの場合、あるいは前段までのモジュールでCS-PDUごとの配列がなされ、CS-PDU単位にまとめて転送されてくるといった場合などに相当する。

【0314】後者の前段のモジュールからCS-PDU単位にデータがまとめて転送されてくる形態を実現するには、例えば以下のような方法がある。

【0315】共通バッファ部1111内の出力ポート部2203において、各出力ポート宛のPSアドレスなどの入力ポート部2203からのデータを、単一のFIFO2032にて一括して扱うのではなく、メッセージ番

号ごとにFIFOを物理的あるいは論理的に形成する。このメッセージ番号ごとのFIFOは、あらかじめメッセージ番号ごとに割り当てておいても良い。

【0316】また、どのFIFOがどのメッセージ番号というような対応付けはせず、あらかじめいくつかのFIFOを用意しておき、まず、CS-PDUの先頭を格納したセルを受信する都度にFIFOを新たに割り当てる。これは、該メッセージ番号に相当するFIFOが存在しないことによって該出力ポート部がCS-PDUの先頭が到着したと認識し、該メッセージ番号用にFIFOを割り当てることに相当する。さらに、該FIFOに後尾信号が通知された場合は、CS-PDUの最後尾が到着したことを示すフラグをFIFO対応にもうけて、これを立てることにより、取り出し制御部2033にCS-PDU全ての到着を通知し、また、該FIFOにおいて認識されるCS-PDUの取り出しが完了するとまたこのFIFOを解放する形でCS-PDUをまとめて出力する方法も考えられる。

【0317】いずれの方法にしる、各FIFOにてCS-PDUごとの振り分けを行い、また、全CS-PDUの到着を、例えば各FIFO対応に設けられたフラグを通して取り出し制御部2033が認識し、順に該FIFOからデータを取り出していくことにより、CS-PDUをまとめて先のモジュールへ送出する形となっている。この場合、同一のメッセージ番号のCS-PDUに関しては、順序の逆転の発生を回避するために、FIFO内でのCS-PDUの完成順に先のモジュールへ送出するのが好ましい。

【0318】なお、フラグが立っているFIFOが複数個存在する場合、この内のどれかを選択することとなるが、この場合はフラグが立った順に選択する方法、メッセージ番号ごとに優先順位を設ける方法、一番データがたまっているメッセージ番号のFIFOを選択する方法など種々のものが考えられる。なお、この構成においても、ペイロードスロットデータの発順を入れ換えているだけなので、レイヤ間の切り分けは保たれている。

【0319】なお、このCS処理部にCS-PDUがATM多重の形で混在して転送されてくる場合には、デュアルバッファを複数個設けるか、単一のバッファを複数個設けるか、あるいはその混合の形にするなどして、CS処理部内の並列バッファを拡張してバッファを複数個設け、このバッファをメッセージ番号ごとに使用することによって対応することも可能である。この場合、CSヘッダ／トレイラ解析部1311はCSヘッダ／トレイラの多重処理を行うこととなり、この並列バッファ数が実質的にCS-PDUの多重数を規定する。そのため、メッセージ番号ごとに現在のCS-PDUの状態を示すテーブルを持っていたてもよい。なお、この場合はXTPハードウェアが複数個存在する形の構成とすることも可能である。



【0320】セレクト1314は、CSヘッダ／トレイラ解析部1311からの指示に従い、バッファA1312／バッファB1313の適当な側のデータを上位レイヤ（XTPハードウェア）に送出するとともに、その先頭番号の作成、また、CSヘッダ／トレイラ解析部1311からの指示によりそのデータが有効データであるか無効データであるかの判断信号（有効・無効信号）を生成、送出する。また、必要であれば、CSヘッダ／トレイラ解析部1311からCS-SDU（またはCS-PDU）の長さに関する情報を受信し、これを上位レイヤに通知する機能を有していても良い。

【0321】メッセージ番号レジスタ1315は、現在処理中のパケットが属するメッセージ番号を格納するレジスタである。この値は上位レイヤに参照される。上位レイヤとしては、例えば、図34ではCPU1331あるいはXTP1330ハードウェアなどでも良い。また、このレジスタ1106についてもバッファA1312／バッファB1313に格納されているパケットの内、現在上位レイヤに向かってデータを送出している側のパケットについてのメッセージ番号を外部に向かってみせるために、デュアル構成にしても良い。例えば、レジスタを2つ設けてこれらを外部にみせても良いし、セレクトで選択した上で必要な側の該メッセージ番号のみを見せる構成でも良い。また、バッファが複数個ある場合は、その個数に応じたメッセージ番号値を内部に持ち、その中から適当な値を外部に呈示する構成になっても良い。

【0322】以上、図34の例ではCS処理部内では、CS-SDUの再生を行い、再生ができないCS-SDUについてはその内部にて該SDUを廃棄してしまう構成のCS処理部の実施例を示した。

【0323】これに対し、図35には、CS処理部内では、CS-SDUの再生可／不可の判断を行い、再生不可時の該SDUの廃棄は上位レイヤにゆだねるような構成のCS処理部の実施例を示す。この例では、入力されたデータはそれがCS-SDUを正常に構成しているか、その如何に関わらずパイプライン的に上位レイヤに送出され、そのCSヘッダ／トレイラの解析の結果CS-SDUの構成ができていない場合はその旨これと並行に通知され、該CS-SDUの廃棄は上位レイヤにゆだねられる。

【0324】図35のように、本例におけるCS処理部はCSヘッダ／トレイラの解析部1316、先頭信号生成部1317、メッセージ番号レジスタ1318、バッファ1319を備える。

【0325】CSヘッダ／トレイラ解析部1316は、該CS処理部がAALタイプ5の処理モードにて動作をしている場合に、対応するSAR処理部から入力されてくるデータのうち、CSヘッダ・トレイラを抽出し、これを解析して必要な処理を施すが、前述したCS処理

部1311と違いは、該解析の結果、該CS-SDUが再生できないと判断された場合は、この旨を廃棄信号を用いて上位レイヤに通知する点にある。この信号を受信した上位レイヤは、現在までに受信したCS-SDUが無意であることをこの信号線を通して知り、廃棄するなどの適切な処置を施す。

【0326】先頭信号生成部1317は、対応するSAR処理部から有意・無意信号、後尾信号を受信し、これらから適切なタイミング（該CS処理部がXTPハードウェアに向かってCS-SDUを送出するタイミング）に合わせて、先頭信号、後尾信号、有効・無効信号を上位レイヤ（XTPハードウェア）に送出する。この中で、有効・無効信号に関しては、CS処理部からXTPハードウェアに対して有効情報を送出している際に常にHレベルとなっている信号線であり、先頭信号、および後尾信号にてその最前部と最後部とがXTPハードウェアには認識される。なお、前記廃棄信号は、並行して上位レイヤ側に通知される有効・無効信号とは独立に制御される。これは、CS-SDUのパケットが可変長であり、有効・無効信号を無効側に変更することに、該パケットが無意パケットであることを意味的に含ませることができないことに基づく。

【0327】メッセージ番号レジスタ1318は、図34におけるメッセージ番号レジスタ1315と同様の機能を有する。ただし、デュアル構成である必要はない。

【0328】バッファ1319は、対応するSAR処理部から入力されるデータ信号をCSヘッダ／トレイラ解析部1316が解析する際、CPCSTレイラのPAD領域がどこからどこまでであるか、即ちSAR処理部から入力されているデータの内、どこまでがCS-SDUであるのかをLength、CRC両フィールドを受信、解析するまで分かることができないことから設けられているものである。即ち、CS処理部内に48オクテット（あるいは+α）のバッファ領域を設け、CSヘッダ／トレイラ解析部1316にてCSトレイラの解析が終了するまでここでディレイを設け、CS-SDUがどこまでであるかを解析した後にこれを有効・無効信号、後尾信号に反映しつつXTPハードウェアに、PAD領域を削除した上でCS-SDUを送出するために設けられたものである。

【0329】図35のような構成でCS処理部を構成した場合は、対応するSAR処理部から入力されてきたデータがパイプライン的にXTPハードウェア側に（バッファ1319におけるディレイはあるが）送出されるため、再生に失敗したCS-SDUに関しては、これまでに上位レイヤに送出下CS-SDUは、無効であるという旨の信号が通知される形でその再生失敗の情報の伝達が行われ、上位レイヤ側で該CS-SDUの廃棄は行われる。

【0330】なお、図35の構成を採用したCS処理部

10

20

30

40

50

の場合も、CS-PDUが順序立ててくる場合に適用が可能である。このCS処理部にCS-PDUがATM多重の形で混在して転送されてくる場合は、メッセージ番号を並行してXTPに流すことによりその組立を上位レイヤにゆだねる構成が考えられる。しかし、この場合はCSレイヤの処理（CS-SDUの再生）機能がXTPにも分散されることになる。

【0331】なお、図34あるいは図35のような構成のCS処理部についても、共通バッファ部1111にて上位レイヤ側クロックへのクロック乗換を行わない場合、本モジュール内にてデュアルポートメモリを装備し、クロック乗換を行っても良い。このデュアルポートメモリとして、バッファ1312、1313、またはバッファ1319を用いても良い。

【0332】なお、本モジュールがAALタイプ1にて動作を行う場合には、CSヘッダ／トレイラ解析部1311または1316の各機能はマスクされ、データはそのまま対応する上位レイヤに送られることとなる。この場合、本モジュールは入力されてきたデータを透過的に上位レイヤ側へ送出する。

【0333】ただし、上位レイヤに対してCBR信号としてデータ流を送出する必要がある場合、即ち再生部側のクロックにてデータを送出する必要がある場合は、無意信号、または混入セルが存在する際などのデータの抜けを補償し、よどみないCBR流として送出するため、前記デュアルポートメモリを使用し、クロック乗換を行った上でデータを送出しても良い。ただし、上位レイヤにおくられるデータは、対応するSAR処理部から送られてくるデータのうちの有意情報のみである。この判断は有意・無意信号線を通して行う。

【0334】どちらのAALタイプで処理を行うかの設定は外部から行うことができる。

【0335】次に、図36に、CS処理部1134とその上位のデータ再生部1144の内部構成の一例を示す。前述のようにCS処理部1134は、その上位レイヤのデータ再生部1144がCPU、メモリにより構成されており、レイヤ2以上の処理がソフトウェア処理にて行われる場合の例である。

【0336】この実施例においては、CS-SDUはシステムバスにつながるメモリ上に構築され、構築後上位レイヤ（例えばCPU）にその旨が通知されることにより上位レイヤ側にCS-SDUが渡される構成となっている。

【0337】この図中で、CS処理部の構成を示す部分を1134としている。このようにCS処理部1134は、CSヘッダ／トレイラ解析部1341、シリアル・パラレル変換回路1342、メッセージ番号レジスタ1343から構成される。

【0338】CSヘッダ／トレイラ解析部1341は、該CS処理部がAALタイプ5の処理モードにて動作を

している場合に、対応するSAR処理部から入力されてくるデータのうち、CSヘッダ・トレイラを抽出し、これを解析して必要な処理を施し、正常にCS-SDUの構築がシステムバスにつながるメモリ上にできた場合、これと同じくシステムバスにつながるCPUに必要な情報とともに通知し、CPUにレイヤ2以上の処理を促す。具体的には、AALタイプ5・CPCSヘッダ、トレイラを参照し、シリアル・パラレル変換回路1342によりシステムバス上のメモリに格納されたCS-SDUが正常であるか否かの解析を行う。正常であると判断された場合は、上位レイヤ（本実施例ではシステムバス上のCPU）に割り込みなどで通知し、CS-SDUの完成を上位レイヤに知らせるとともに、上記メモリに格納したCS-SDUの先頭番地、長さ、その他の必要な情報を上位レイヤに通知する。

【0339】この通知は、システムバスを通して参照することのできるレジスタに格納する形で行っても良い。また、CS-PDUがATM多重されて送られてくる場合は、メモリ上に並列にCS-SDUを組み上げていき、CS-SDUの正常再生が確認されたものから順にCPUに通知する形式でも良い。この場合、メモリをデュアルポートメモリとするとスループットの向上をはかることができる。また、メモリを有効に利用するため、各CS-SDUの形成をリンクドリスト方式にて行っても良い。なお、リンクドリスト方式は、各セルペイロードデータのリンクドリストの形でCS-SDUを形成するものである。

【0340】また、正常な再生が行えなかった場合は、この旨を上位レイヤに通知するとともに、エラー情報（例えば再生できなかった原因、再生できなかったCS-SDU数など）を上位レイヤに通知する手段を有していても良い。なお、CS-PDUの終わりは対応するSAR処理部から送られてくる後尾信号により確認し、これを契機にシリアル・パラレル変換回路1342を制御してデータの格納を終了する。

【0341】シリアル／パラレル変換回路1342は、対応するSAR処理部から送られてきたデータをシステムバスを通してメモリに格納する。また、対応するSAR処理部から送られてくるデータの平行度数（例えば8ビット平行）と、システムバスのデータバスの平行度数（例えば32ビット平行）が異なるため、これを吸収する。なお、メモリ内に格納するデータは、SAR処理部から送られてくる有意データのみであるが、この判断は有意・無意信号を用いて行われる。

【0342】メッセージ番号レジスタ1343は、現在処理中のパケットが属するメッセージ番号を格納するレジスタである。この値は上位レイヤ（図ではCPU）に参照される。

【0343】なお、本モジュールがAALタイプ1にて動作を行う場合には、CSヘッダ／トレイラ解析部13

10

20

30

40

50

4 1の各機能はマスクされ、データはそのまま対応する上位レイヤに送られることとなる。この場合、本モジュールは入力されてきたデータを透過的に上位レイヤ側へ送出する。なお、この場合は上位レイヤに対して有意・無意信号線を用意し、有意情報の位置を知らせる機構

(図示せず)か、上位レイヤにCBRデータとしてよみないデータ流として送出する必要がある場合は、内部に有意情報のみを格納し、これを上位レイヤに送出するためのメモリ、例えばデュアルポートメモリを実装する必要がある。

【0344】どちらのAALタイプ処理を行うかの設定は外部から行うことができる。

【0345】また、ここまで図36の構成のCS処理部においては、上位レイヤへのデータの転送(この場合はシステムバスにつながるメモリへのデータの格納)の際に用いるクロックを特に規定していなかったが、ATM伝送路側のクロックで行っても、上位レイヤ側のクロックで行っても良い。また、これを上位レイヤ側のクロックで行う場合、共通バッファ部1111、または対応するSAR処理部にて上位レイヤ側のクロックへのクロック乗換が行われない場合は、本モジュール内にてデュアルポートメモリを装備し、クロック乗換を行っても良い。

【0346】なお、ここまでの機構においては共通バッファ部から取り出したデータについてこれらをパイプライン的に、あるいはモジュール内外のバッファに格納しつつCSヘッダ/トレイラの解析を行い、正常・異常を判断していた。これに対し、CSヘッダ/トレイラ解析中は共通バッファ部内のデータをキャンセルせず(即ち、空PSキューに該データの入ったPS先頭アドレスを解析終了まで格納せず)解析が終了し、正常と判断された場合は再度該共通バッファ部にアクセスしてCS-PDUを取り出し直し、取り出した順に空PSキューに格納していき、異常と判断された場合は該データの格納されたPS先頭アドレスを空PSキューに渡すことによりデータのキャンセル(廃棄)を行う方式を用いることも可能である。このような方式を適用した場合、一度共通バッファ部から読みだしたデータを再度アクセスするためにスループットが若干低下するものの、CS処理部にメモリを用意する必要のないことからメモリ量の削減を図ることが可能になる利点がある。

【0347】このような構成のもとに、本実施例の装置においてATMデセル化を行った場合の流れを概説する。

【0348】本装置において、呼設定が行われる以前は、本装置には(OAMセルを除いて)なんら有効セルは入力されてこず、よってVCI/メッセージ番号変換テーブルにはOAMセルおよびシグナリングセルの値しか設定されていない。

【0349】呼設定においては、本装置が呼の設定を働

きかける場合(例えばビデオ配信サービスを起動する場合)と、相手側端末から呼の設定を働きかけられる場合がある。

【0350】まず、本装置が呼の設定を働きかける場合について述べる。ここでは、呼設定を行う主体(信号処理を行う主体)はデータ再生部1143内に存在すると仮定する。また、シグナリング手順がAALタイプ5を用いて行われると仮定する。

10 【0351】本装置が呼の設定を働きかける場合、呼設定を行う主体は、シグナリング情報をATMセル化装置(図示せず)を通してATMセル化し、ATM伝送路/外部伝送路を通して網、受信側端末へ向けて送出する。この時点で、実際に該通信が始まった場合に使用するATMセルヘッダ値(VCI値など)はまだわからない場合(例えばATMセルヘッダ値を決める主体が網側にあるときなど)があるが、このシグナリングセルを送出してから呼が成立するまでの時間を利用して、該装置内で用いるメッセージ番号値などあらかじめ設定しておける値の各所への設定、初期化などを行ってもよい。

20 【0352】また、本装置が呼の設定を働きかけられる場合は、あらかじめVCI/メッセージ番号変換部1014にシグナリングセルのATMセルヘッダ値が登録してあるため、シグナリングセルが本ATMデセル化装置に到着すると、自動的に信号処理を行う主体に向けて該セルが送出される設定になっている。このため、シグナリング情報は信号処理を行う主体に送られることになる。

30 【0353】網側から送られてくるシグナリングセルは、信号処理を行う主体(本実施例ではデータ再生部1143)にデセル化された上で送られてくる。ここで、使用されるATMセルヘッダ値が決まると、信号処理を行う主体はVCI/メッセージ番号変換部1014に使用されるATMセルヘッダ値を通知する。この通知は、信号処理を行う主体と本変換部1014間に設けられた特別の信号線を用いて行われていても良いし、特別なパケットを用いて行われても良いし、VCI/メッセージ番号変換部1014がシステムバスからの書き込み、読み込みが可能な構成となっており、このシステムバスを通して値の設定が行えるようになっていても良いし、あらかじめ値が設定されている、または設定されると決まっている値があってもよい。

40 【0354】なお、このシグナリングセルの生成、やり取りにおいては、このシグナリングに関してのみ、他と異なるAALタイプ、たとえばAALタイプ3が使用される可能性があること、シグナリングに関しては定形的なセルのやり取りが行われると考えられること、即ちシグナリングの際に用いるセルのフォーマットはあらかじめ決まっており、このフォーマット中の細かな変数を変更するのみでシグナリングを完結させることができると考えられることなどから、シグナリングセル生成機能を

CPU等によるソフトウェア論理ではなく、ROM等のハードウェア・ファームウェア論理によりあらかじめ格納しておき、変数の部分（例えばVCI値、UPI値）のみをその都度変数として変更して使用するような使い方で行っても良い。なお、この場合、変数が異なるごとにCRCの値は事なるものになると考えられるが、これに対しては、予めCRCの演算結果をハード／ファームとして有していても良いし、CRCを演算する回路を別に有していても良い。

【0355】このシグナリングのやり取りの際に、信号処理を行う主体は、どの再生部を用いる通信か、その使用プロトコルは何か、ポート番号、ATMデセル化のAALタイプはタイプ1か、あるいはタイプ5か、これに対応するメッセージ番号、対応すべきATMセルヘッダの諸々の値（VPI・VCI等）等の決定、あるいは設定を行い、VCI／メッセージ番号変換部1014や対応する再生部など装置各所の初期設定を行う。なお、メッセージ番号の決定は、ハードウェア化の簡単化のために、AALのタイプごと／メディアごと／ポート番号ごと等にある範囲内でメッセージ番号を用いるようにしても良い。例えば、何番から何番はAALタイプ1等というようにすることが考えられる。また、メッセージ番号はVPI／VCI値と1対1に対応するものとしても良い。その際、メッセージ番号は、ATM処理部1101にて共用しているため、各出力ポート間で重なりが起らないように割り振る必要がある。このヘッダ値とメッセージ番号の値とに一定の関係を設けても良い。例えば、ヘッダ値にあらかじめ決められたマスクをかけるとメッセージ番号値になるように両値を決めるなどが考えられる。

【0356】上記でも述べたように、情報のATMデセル化はAALのタイプ1、もしくはタイプ5を用いて行われる。ただし、シグナリング、OAMはこの限りではない。

【0357】即ち、リアルタイムデータの通信（音声、画像など）はAALタイプ1を用いて、バーストデータの通信（データ通信）はAALタイプ5を用いて行われる。これは、AAL機構の単純化と、ATMデセル化の高速化をねらって、AAL機構の統合化をはかったものである。即ち、このような方針で情報のATMデセル化を行うことにより、リアルタイム情報とバーストデータのATMデセル化を本装置ではほぼ同一の機構で行うことができ、大幅なハードウェア規模の削減と柔軟性の確保をはかることが可能となる。

【0358】なお、AALのタイプとしてタイプ3あるいはタイプ4を用いる場合は、SARレイヤの処理が重く、本実施例のような構成でATMデセル化を行うのは不可能ではないが、SARレイヤの処理を行う部分の複雑化を招くことになり、コスト高になる。ただしこの場合も、ハードウェア規模の削減は可能である。また、メ

ッセージ番号はMID（メッセージID）と1対1に対応することとしてもよく、VCI／メッセージ番号変換部1014内のテーブルにてMID値も参照されることとなる。

【0359】なお、これらのシグナリングのやり取りは、その他の通信がすでに行われている最中においても行うことができる。例えば、音声通信中に画像通信を加える、リアルタイム通信中にデータの転送を行うなどが考えられる。即ち、コネクションの追加、削除および属性の変更などを動的に行うことができる。

【0360】以下の例では、図26において、すべての再生部が稼働している状態、即ち例えば64kbpsの音声と例えば10Mbpsの画像（ともにCBR）がリアルタイム通信として（AALタイプ1にて）稼働しており、また、データ再生部1143、1144は、バーストデータを不定期に受信しているような状態（AALタイプ5にて稼働）であると仮定して説明を行う。ここに、OAMセルについてもデータ再生部にて受信しているものとする。

【0361】なお、ATM処理部1101内にシグナリング機能、あるいはOAM機能の一部が存在していても良い。

【0362】音声セル、画像セル、バーストデータセル、OAMセルなどがそれぞれATM多重され、あるいはこれらがSDHフレームに乗せられた形でATM処理部1101に入力される。ATM処理部1101にて、フルATMセル流に変換された後、各入力セルについてATMセルヘッダが抽出され、これがVCI／メッセージ番号変換部1014にて該セルが属するメッセージ番号／ポート番号が取り出され、以降該セル（のペイロードデータ）とメッセージ番号は対となって処理をされることとなる。ここで、前述のようにメッセージ番号は本実施例におけるATMデセル化装置内において該セルがどのAALタイプ、属性、出力ポート、メディア等に属するのかを一意に認識するための本装置において対応づけられた番号である。

【0363】取り出されたメッセージ番号／ポート番号は、ペイロードデータ、ペイロード先頭信号、有意・無意信号、後尾信号と共に共通バッファ部1111に転送される。図37にATM処理部1101と共通バッファ部1111間のデータの流れを示す。このように各信号はATMセル周期にてお互いに周期して転送される。なお、ペイロード先頭信号は、ペイロードの先頭位置にてHレベルとなり、共通バッファ部1111にペイロード先頭位置を知らせるための信号である。なお、共通バッファ部1111は、ペイロード長が48オクテッドであることを認識しており、ペイロードデータ48オクテットを共通メモリ2202に格納する。

【0364】次に共通バッファ部1111内のデータの流れを説明する。初期設定時には、空PSキュー220

10

20

30

40

50

4には全PSアドレスが格納されており、入力ポート部2201により取り出されるのを待っている状態となっている。共通バッファ部1111では、ATM処理部1101から入力される有意・無意信号にて並行して入力されるペイロードデータが有意である場合には、入力ポート部2201が、空PSキュー2204から空ペイロードスロットアドレスを一つ取り出し、共通メモリ2202内の該アドレスを先頭番号とするペイロードスロットにペイロードデータを格納していく。この際、後述する理由によって、共通メモリ2202へのデータ格納はデータをパラレル展開した後に行われる。これと並行して、あるいは格納終了後、ポート番号で示される出力ポート2203に対してメッセージ番号、後尾信号、ペイロードスロットアドレスを転送する。

【0365】出力ポート部2203では、自ポート宛のメッセージ番号、後尾信号、ペイロードスロットアドレスを受信すると、これをFIFO2032に格納し、以降この格納順に従って共通メモリ2202からのデータを取り出すこととなる。この取り出し動作は、ペイロード同期という意味において、各出力ポート2203間で同期して行われても良いし、非同期で行われても良い。ここに、最大取り出し速度は各出力ポート部2203間で同一である。なお、自ポート宛であるとの認識はポートセレクト信号ではなく、ポート番号が入力ポート部2201から放送され、自ポート宛であると認識した場合に取り込むという形でも良い。

【0366】なお、出力ポートからみて後段のモジュール（各再生部など）が接続されていない場合、または稼働していない場合には、対応する出力ポート部にはなんら情報は渡されることはない。本実施例では出力ポートは8つであるので4つの出力ポート部2203になんら情報が渡されないこととなる。

【0367】共通メモリ2202からの各出力ポート部2203のデータ取り出しは、各出力ポート部2203が共通メモリ2202を共有しており、これら各出力ポート2203が読みだしデータが存在する。これらがぶつかった際にも読み出しが可能であるように、データのパラレル度数が出力ポート倍以上、具体的には8倍以上、書き込みと読みだしが同時に行えない場合は16倍以上にされており、これを時分割に、すなわち、各出力ポートからの共通メモリからの読みだしが時間的に重ならないように行う。入力ポートからのデータの入力、各出力ポートからのデータの取り出しが一巡する周期に1回行われる。この場合、各出力ポートについて入力ポートと同様のスループットが得られる。各出力ポートについて入力ポートと同様のスループットが必ずしも必要ない場合も考えられる。即ち、出力ポートの最大速度<入力ポートの最大速度の場合である。この場合は、書き込み周期を短くすれば良い。なお、出力ポートの速度は必ずしも各ポート同一である必要はない。

【0368】なお、共通メモリ2202としてマルチポートメモリ、例えば1入力8で力のデータ書き込み、データ読みだしを非同期に行えるメモリを用いれば、各出力ポートの同時読みだしが可能になるため、パラレル展開をした上でのデータ格納は不要になり、スループットの向上が期待できる。

【0369】なお、出力ポート部2203のデータ取り出しは、上位レイヤからの読みだし許可信号により読みだし許可がされている場合にのみ可能である。共通メモリ2202からデータを取り出した出力ポート部2203は、有意・無意信号、メッセージ番号、後尾信号と共にこれを上位レイヤ側（SAR処理部、CS処理部等）に渡す。

【0370】次に、出力ポート部2203からデータを受け取ったSAR処理部、CS処理部、各再生部におけるデータの流れをそれぞれ説明する。

【0371】まず、音声再生部1141につながる出力ポートのデータの流れを概説する。SAR処理部1121、CS処理部1131は、それぞれAALタイプ1にて動作を行うモードにあらかじめ設定されている。この設定はATMデセル化を制御する主体が行うが、該設定はシステムバスやレベル線を通して行われても良いし、内部セルなどに該設定情報を格納した上で通知されても良い。また、この判断をメッセージ番号ごとに行う形でも良い。例えば、メッセージ番号のある桁が何番ならAALタイプ1などが考えられる。

【0372】SAR処理部1121では、共通バッファ部1111から受け取ったデータのうち、先頭の1オクテットをSARヘッダと解釈し、SARH演算部1211、SARH解析部1212にてこれを解析し、セル抜け、セル混入の有無などを検査する。その結果、セル混入が検出された場合は、該一連のデータは廃棄する。また、セル抜けが検出された場合は、抜けセル数分だけダミーパターンを挿入してCS処理部1131に転送すると共に、ダミーパターン転送中は、共通バッファ部1111の対応する出力ポート部2203からデータが送られてこないように読みだし許可信号を不許可にセットしておく。このとき、出力ポート部2203では、FIFO、格納終了PS捕捉レジスタ内の値などは固定化（凍結）され、ダミーパターン出力後の次のセル周期にて該ペイロードスロット内のデータを、該固定化された値をそのまま使って取り出せるようになっている。メッセージ番号、有意・無意信号は、そのままCS処理部1131にも転送される。

【0373】なお、揺らぎ吸収のため、一定量のデータが共通メモリ2202内に格納されてから、または最初の音声セル受信後、一定時間経過の後共通メモリ2202からのデータ取り出しは開始される。この場合、データ取り出し開始まで読みだし許可信号は不許可とされている。このデータ量／経過時間を外部から設定できるよ

10

20

30

40

50

うになっていても良い。

【0374】なお、本実施例では、AALタイプ1の場合、後尾信号は意味を持たない。

【0375】次に、図38に、共通バッファ部1102とSAR処理部1121間のデータの流れを示す。このように、SARヘッダは、SARペイロード(47オクテット)の伝送に先立ち、6クロック前からSAR処理部1121へ送られる。この6クロックの間にSAR処理部1121は、SARヘッダの演算、解析を終了し、それに引き続くデータを取り出すか(正常なSARHが受信されている場合)、否かの判断を行うことになる。この判断結果は読みだし許可信号に反映される。

【0376】なお、SAR処理部1121は、同1122、1123、1124と同一の構成のものである。

【0377】CS処理部1131内は、AALタイプ1の場合はデータは透過して音声再生部1141に渡される。この際、有意・無意信号により有効データのみ検出、転送される。図39にSAR処理部1121とCS処理部1131の間のデータの流れを示す。

【0378】なお、CS処理部1131は、同1132、1133と同一の構成のものである。

【0379】音声再生部1141は、CS処理部1131から受け取ったデータをもとに、これをPCM音声と解釈し、これを復号化して音声を再生する。

【0380】次に、画像生成部1142につながる出力ポートのデータの流れを概説する。本ポートのデータの流れに関しては、画像再生部において再生するのがMP EG等の画像符号化方式にて符号化されたデータであることをのぞいて音声再生部1141につながる出力ポートのデータの流れとほぼ同様である。これは、画像情報の伝送にAALタイプ1が用いられていることによる。

【0381】次に、データ再生部1143につながる出力ポートのデータの流れを概説する。SAR処理部1123、CS処理部1133は、それぞれAALタイプ5にて動作を行うモードにあらかじめ設定されている。あるいはメッセージ番号にてその都度判断する。

【0382】SAR処理部1123では、入力されたデータ、有意・無意信号、メッセージ番号、後尾信号はすべて透過的にCS処理部1133に転送される。これは、AALタイプ5においては、AAL・SARレイヤの機能はCS-PDUのリアセンブリのみであり、これは共通メモリ2202内の該当するペイロードスロットからのデータを順に取り出すことにより達せられるため、それ以外のSAR処理部の機能(SARヘッダの演算、解析)がヌルであることによるものである。共通バッファ部1102とSAR処理部1123間のデータの流れは、AALタイプ5にSARHが存在しないため、ペイロードの1オクテット目のデータが特別扱いを受けず、48オクテットのデータが一気にSAR処理部におくられる以外は図38と同様である。また、SAR処理

部1123とCS処理部1133間のデータの流れは図39にある通りである。

【0383】このようにしてCS処理部1133に送られたデータは、ここでCSヘッダ/トレイラの解析が行われた後、レイヤ2以上の上位レイヤ(本実施例ではXTP)にCS-SDUが送られる。

【0384】具体的には、図34の構成のCS処理部1133では、送られたCS-PDUについてCSヘッダ/トレイラがCSヘッダ/トレイラ解析部1311に転送され、ここでの解析の結果、正常なCS-PDUが転送されてきたと判断された場合にのみ該CS-PDUから再生されたCS-SDUがXTPハードウェアに送られる。ここで、CSトレイラの位置はSAR処理部1123から送られてくる後尾信号にて認識する。

【0385】この図34の構成では、正常なCS-PDUが続けて入力されてきた場合にも、正常なCS-SDUと続けてXTPハードウェアに送出できるように内部はデュアルバッファ構造になっている。XTRハードウェアにCS-SDUを伝送する際は、図40にあるようなデータの流れて送出を行う。すなわち、XTPハードウェアは、先頭信号にて示された位置をCS-SDUの先頭とみなし、有効・無効信号の立ち下がり位置をCS-SDUの終端であると認識する。ここで、上位レイヤ(CPU、またはXTPハードウェア)は、該SDUがどのアプリケーション/プロセス/スレッド/ポートの通信に属するものであるかを認識するためにはメッセージ番号レジスタ1315に格納されたメッセージ番号を用いることは前述の通りである。

【0386】また、図35の構成のCS処理部1133では、送られたCS-PDUについてのCSヘッダ/トレイラがCSヘッダ/トレイラ解析部1316に転送され、解析されるのは図34の構成のCS処理部と同様であるが、本構成ではこの解析結果がでるのを待たず、パイプライン式に入力された正常である場合にCS-SDUと認識される位置のデータをXTRハードウェア側に送出してしまう。CSヘッダ/トレイラ解析部1316にて異常が検出された場合は、XTPハードウェアに対して現在転送中のCS-SDUに関しては異常が検出されたために廃棄せよという旨の通知が廃棄信号を通して送られる。正常と判断された場合は、そのままXTPハードウェアは該CS-SDUの処理を継続する。

【0387】図41に、このデータの流れを示す。線号信号はCS-SDUの先頭位置を、有効・無効信号は、CS処理部1133から送られているデータが有意である場合にHレベルとなる信号、後尾信号は、CS-SDUの最後尾を含むデータの集合がCS処理部から送出される際にHレベルとなる信号線である。本例では、データの転送がパイプライン的に行われるため、CS処理部1133からXTPハードウェアへのデータの転送は、SAR処理部1123からCS処理部1133へのデー

タの流れと同一の周期にて行われることに注意が必要である。なお、図34の場合と同様に、メッセージ番号の上位レイヤへの通知はメッセージ番号レジスタ1318を通して行われる。

【0388】次に、データ再生部1144につながる出力ポートのデータの流れを概説する。SAR処理部1124、CS処理部1134は、それぞれAALタイプ5にて動作を行うモードにあらかじめ設定されている。あるいはメッセージ番号にてその都度判断される。

【0389】SAR処理部1124では、同1123と同様に、入力されたデータ、有意・無意信号、メッセージ番号、後尾信号はすべて透過的にCS処理部1134に転送される。理由、およびデータの流れは同1123と同様である。

【0390】このようにしてCS処理部1134に送られたデータは、ここでCSヘッダ／トレイラの解析が行われた後、レイヤ2以上の上位レイヤ（本実施例ではCPU）にCS-SDUが送られる。

【0391】具体的には、図36の構成のCS処理部1133において、送られたCS-PDUについてCSヘッダ／トレイラがCSヘッダ／トレイラ解析部1341に転送され、ここで該ヘッダ／トレイラが解析されると共に、シリアル／パラレル変換回路1342にて、CS処理部1134への入力データ信号のパラレル度数からデータバスへのパラレル度数への変換の上、メモリにデータ（CS-SDU）が構成されていく。該ヘッダ／トレイラの解析の結果、正常なCS-PDUが転送されてきたと判断された場合には、CSヘッダ／トレイラ解析部1341から、CPUに向かって割り込み信号が発せられ、CPUにCS-SDUの構築が通知される。転送されてきたCS-PDUに異常が認められた場合は、それまでメモリ上に構築されてきたCS-SDUは無効化され、CPUへのCS-SDU構築割り込み信号は発せられない。ただし、CS-SDU構築失敗を通知する割り込み信号をCPU等が発したり、メモリ上にCS-SDU構築状態に関する情報を格納し、上位レイヤ（CPU等）が参照できるようになっても良い。この参照はシステムバスを通じて行えるようになっていても良い。CPUに割り込み通知をした後、CPUはバス制御権をCS処理部1134から奪い、上位レイヤ（レイヤ2以上）の処理を行う構成になっても良い。このような構成の場合、メモリへのデータ（CS-SDU）の格納までをATM側のクロックで行い、レイヤ2以上の処理をバス制御権を奪ったCPUが行う形で上位レイヤへのクロック乗換を行うことができる。ここで、上位レイヤ（CPU）は、該SDUがどのアプリケーション／プロセス／スレッド／ポートの通信に属するものであるかを認識するためにはメッセージ番号レジスタ1343に格納されたメッセージ番号を用いることは前述の通りである。

【0392】なお、ここで、CS処理部1133はCPU1331のシステムバスの使用状況を観測し、使用していない場合にシステムバスを通してメモリ1332にアクセスするいわゆるサイクルスチールを行っても良い。

【0393】以上のATMデセル化装置では、音声再生部、画像再生部、データ再生部、CS処理部、SAR処理部の動的な組み合わせの変更、活線挿抜が可能なものとなっている。

【0394】ここで、各再生部、CS処理部、SAR処理部などは、活線挿抜が可能であることや、組み合わせが自由であることなら、その組み合わせ、属性等を、CPUなどのATMデセル化装置を制御するモジュールに通知する場合（例えばボードが挿入された場合など）がある。この場合は、オペレータが直接これを入力する方法の他に、レベル線や、専用のパケットにて該制御モジュールに通知する方法が考えられる。なお、この組み合わせは、ポートを挿入して行われる場合や、コネクタを介して行われる場合などが考えられるが、このインタフェースはあらかじめ標準化されたものであってもよい（たとえばRS-232C等）。

【0395】このような、各再生部の自由な変更、組み合わせが可能であるのは本装置のAAL機構がAALのタイプによらず統合されていること、および内部のバッファを共通化していることによるものである。上記の再生部、CS処理部等の組み合わせは、共通バッファ部のバッファ量の総量のみで左右される（共通バッファ部を用いない場合は、再生部の組み合わせ以前に、各出力ポートごとのバッファ量でその出力ポートに接続される再生部が制限される。またCS-PDU処理、SAR-PDU処理を行うモジュールの属性が情報源の属性を制限する。）。

【0396】以上は、物理レイヤ処理、ATMレイヤ処理を行うATM処理部、共通バッファ部と、その各々の出力ポートに接続されるSAR処理部、CS処理部、各再生部により構成されるATMデセル化装置であった。

【0397】以上、本発明の第3の実施例に係るATMデセル化装置について説明してきたが、続けて、本発明の第4の実施例に係るATMデセル化装置について説明する。なお、本実施例に係るATMセル化装置の構成および動作は、上記第3の実施例と同様の部分が多いので、ここでは、第4の実施例が第3の実施例と異なる点を主として説明する。

【0398】次に、図42に、本発明の第4の実施例に係るATMデセル化装置の構成を示す。このATMデセル化装置も、第3の実施例と同様に音声、画像などのリアルタイム情報再生部およびバースト情報再生部を持ち、これらの属性の異なるメディアをATMデセル化し、情報の再生を行うものである。

【0399】このATMデセル化装置は、ATM処理部

1401、SAR処理部1411、共通バッファ部1421、CS処理部1431、1432、1433、1434、音声再生部1441、画像再生部1442、データ再生部1443、1444を備える。各部の名称と、各部の動作は第3の実施例のATMデセル化装置とほぼ同様である。第3の実施例のATMデセル化装置と第4の実施例の主な違いは、第3の実施例においてはSARレイヤ処理をSAR処理部1121、1122、1123、1124で行っていたのを、第4の実施例においては単一のSAR処理部1411で行っている点である。

【0400】ATM処理部1401については、ペイロードデータ等を共通バッファ部ではなく、SAR処理部1411に転送する点をのぞいて第3の実施例におけるATM処理部1101の機能と同様であるので、詳細な説明は省略する。

【0401】次に図43にSAR処理部1411の内部構成を示す。このようにSAR処理部1411は、SARH演算部4111、SARH解析部4112、シーケンス番号テーブル4113、ラッチ4114を備える。

【0402】SARH演算部4111は、第3の実施例における同1211と同様に該SAR処理部がAALタイプ1の処理モードにて動作をしている場合に、ATM処理部1401から送られてくるデータのうち、SARヘッダを取り込んで、このCRC演算、パリティ演算を行う。この結果を実際に送られてきたSARヘッダと比較し、現在のモード（誤り訂正モード／誤り検出モードの状態遷移）を決定するとともに、適当な誤り訂正を行ってその結果をSARH解析部4112に送出する。誤り訂正できない場合は、その旨をSARH解析部4112に通知して、これを有意・無意信号に反映させる。

【0403】SARH解析部4112は、第3の実施例における同1212と同様に、SARH演算部4111から誤り訂正後のSARH（シーケンス番号）を受取り、セルの到着順序の観測、解析を行う。ただし、その際に、データと並行して転送されてくる該セルのメッセージ番号をキーとして、該コネクションにおけるシーケンス番号の遷移の様子を記録してあるシーケンス番号テーブル4113に記録してあるシーケンス番号の期待値をフェッチし、その値と実際の値とを比較して一連の処理を行う。その解析結果から正常にセルが（セル抜け、セル混入なく）受信されているときは、有意・無意信号線を有無（たとえばHレベル）として有効情報の格納を共通バッファ部1421に通知するとともに、抜けセル数通知信号を抜けセル数0として、これも共通バッファ部1421に通知する。セル混入が認められたときは該セルを廃棄すべく、共通バッファ部1421に向かう有意・無意信号を無意（たとえばLレベル）としてこれを通知する。セル抜けと判断されたときは、抜けセル信号線に対して抜けセル数を適当に設定して共通バッファ部1421に通知する。この場合、抜けセルに対する補償

（具体的にはダミーデータの挿入）は共通バッファ部1421にて行うことになる。

【0404】なお、このシーケンス番号テーブル4113と、VCI／メッセージ番号変換部1014内のVCI／メッセージ番号変換テーブルとは一体化することも可能である。ただしこの場合は、ATM処理部とSAR処理部とで必ずしもレイヤ切り分けができていないといえる。

【0405】ラッチ4114は、ATM処理部1401から受信した後尾信号、メッセージ番号、ポート番号を適切なタイミング（データ、抜けセル数などの送出タイミング）に合せて共通バッファ部1421に送出させる。

【0406】なお、本モジュールがAALタイプ5にて動作を行う場合には、SARH演算部4111、SARH解析部4112の各機能はマスクされ、データはそのまま共通バッファ部1421に送られることとなる。なお、抜けセル数は常に0、有意・無意信号線はATM処理部1401から入力された有意・無意信号線と同じである。この場合、本モジュールはリアセンブリの機能のみを有する。

【0407】また、本例においてもSARH誤り状態、混入セル数、抜けセル数などを保持し、外部（例えば上位レイヤ）に通知する手段をSAR処理部1411内に設けても良い。

【0408】次に、図44に共通バッファ部1421の内部構成の一例の図を示す。このように共通バッファ部1421は、入力ポート部1501、共通メモリ1502、出力ポート部1503（複数個、本例では8個）、空ペイロードスロットアドレスキュー（以下、場合によって移行空PSキューと略記する）1504からなる。第3の実施例における共通バッファ部1111との主な違いは、入力ポート部1501が、出力ポート部1503に対してメッセージ番号、後尾信号、ペイロードスロットアドレスの他に抜けセル数を通知している点と、出力ポート部がこの抜けセル数に従って抜けセルの補償を行っている点である。

【0409】入力ポート部1501は、入力データ群をSAR処理部411から受け取る点、入力データはペイロードデータのみであり、入力されたデータがAALタイプ1のデータであれば47オクテット、AALタイプ5のデータであれば48オクテット（ペイロードの長さは有意・無意信号にて判断できる）をそれぞれ共通メモリ1502に格納する点、ポート番号指定回路5041がポートセレクト信号、メッセージ番号、後尾信号、ペイロードスロットアドレスの他に抜けセル数を出力ポート部1503に対して送出する点を除いて、第3の実施例の入力ポート部2201と同様である。図45に、入力ポート部1501の内部構成の一例の図を示す。

【0410】共通メモリ1502および空ペイロードス

10

20

30

40

50



ロットアドレスキュー2204と同様の機能を有する。

【0411】出力ポート部1503は、第3の実施例における出力ポート部2203と同様に入力ポート部1501から受け取ったペイロードスロットアドレス、メッセージ番号、後尾信号、抜けセル数（2203との差分）などをその内部のキューにため込み、この順序に従って共通メモリ1502内に格納された該出力ポート向けのデータを順次取り出して、これを対応するCS処理分1431～1434に渡す機能を主に有するが、抜けセルの補償の機能をも有する点が主な同2203との相違点である。

【0412】図46に、出力ポート部1503の内部構成を示す。このように出力ポート部1503は、イネーブル付きバッファ5031、FIFO5032、取り出し制御分5033、格納終了ペイロードスロット捕捉レジスタ5034、カウンタ5035、セクタ5036、ダミーデータ発生部5037から構成される。

【0413】イネーブル付きバッファ5031については抜けセル数をも、FIFO5032に格納する点が同2031との相違点である。

【0414】FIFO5032に関しては、格納終了ペイロードスロットアドレス、メッセージ番号、後尾信号に加えて抜けセル数を格納する点が同2032との相違点である。

【0415】取り出し制御部5033は、同2033と同様に、共通メモリ1502からデータを取り出し、これを上位レイヤ（CSレイヤ以上）に渡すべく、必要に応じてFIFO5032から格納終了ペイロードスロットアドレスを取り出してこれを格納終了PS捕捉レジスタ（以下、場合によって格納終了PS捕捉レジスタと略記する）5034に格納し、カウンタ5035の制御と合わせて共通メモリ1502の読みだしアドレスを生成し、データを取り出しおよび該データを上位レイヤ（CS処理部1431～1434）に渡す機能を有する。また、FIFO5032内が空である場合などに、上位レイヤに向かって送出する情報が共通メモリ1502内に格納されていない旨を通知する機能をも有する。この通知は有意・無意信号を使って行われる。また、同2203との差分として、FIFO5032に格納された抜けセル数を解析し、抜けセルありと判断される場合は、該抜けセル数分のデータを補償すべく、共通メモリ1502内のデータはそのまま残して取り出さず、格納終了PS捕捉レジスタ5034の値は保持したままにし、そのかわりにセクタ5036を制御して、ダミーデータ発生部5037にて発生しているダミーデータを対応するCS処理部1503に抜けセル分（のデータ）だけ送出することにより補間を行う。

【0416】前述のように、セクタ5036は共通メモリ1502から送られてくるデータとダミーデータ発生部5037にて発生しているダミーデータとを取り出

し制御部5036からの指示に従って選択し、対応するCS処理部に送出する機能を、ダミーデータ発生部5037は、セル抜けが検出された場合に該セルに格納されていたデータの代わりに挿入されるダミーデータを常に、または必要に応じて発生する機能を有する。もちろん、本発生部5037にて発生するダミーデータは、ダミーパターン生成部1213と同様にいろいろなパターンを送出できるようになっていても良い。

【0417】CS処理部1431～1434に関しては、データの送出元が共通バッファ部1421であるのを除いて、その機能、構成は同1131～1134と同様である。ただし、この第4の実施例におけるATMデセル化装置においても、第3の実施例と同様に、共通メモリからデータを取り出しつつ、CS-PDUの検査を行い、正常であると判断されてから再度該共通メモリから同一のデータを取り出していく構成も可能である。

【0418】音声再生部1441は、同1141と、画像再生部1442は同1142と、データ再生部1443は同1143と、データ再生部1444は同1144と同様の構成を有する。

【0419】本実施例におけるATMデセル化装置においては、フルATMセル流を処理するクロックと、音声、画像、データを直接処理するクロックとの乗換は、共通バッファ部の出力ポート部1503において共通メモリ1502からデータを取り出す際、または取り出した直後に行っても良いし、CS処理部1431～1444内、またはその後に、例えばバス制御権を明け渡すことにより行っても良い。この場合、モジュール内部にデュアルポートメモリを有する構成となっても良い。また、共通メモリ1502がマルチポートメモリとなっても良いし、CS処理部内のバッファがデュアルポートメモリとなっても良い。

【0420】このような構成のもとに、この第4の実施例のATMデセル化装置においてATMデセル化を行った場合の流れを概説する。

【0421】呼設定手順、OAM手順などは第3の実施例の場合と同様であるとする。

【0422】また、以下の例では、第3の実施例と同様に図42において、すべての再生部が稼働している状態、即ち例えば64kbp/sの音声と例えば10Mbpsの画像（ともにCBR）がリアルタイム通信として（AALタイプ1にて）稼働しており、また、データ再生部1443、1444はバーストデータを不定期に受信しているような状態（AALタイプ5にて）であると仮定して説明を行う。

【0423】入力データは、第3の実施例と同様にまずATM処理部1401に入力される。ATM処理部1401の接続先がSAR処理部1411である点を除いては、ATM処理部1401でのデータの流れは第3の実施例と同様である。詳細は省略する。

10

20

30

40

50

【0424】SAR処理部1411に入力されたペイロードデータは、並行して入力されるメッセージ番号に従って該データのAALタイプが判断され、AALタイプ1での処理はシーケンス番号テーブル4113への参照により、正しいデータ伝送が網において行われてきたかの判断がされ、正常と判断された場合は抜けセル数＝0、メッセージは有効として、セル抜け、あるいはセル混入が認められたときは該情報を抜けセル数、有意・無意各信号線に反映させたうえで、共通バッファ部1421にデータ、後尾信号、ポート番号、メッセージ番号、抜けセル数、有意・無意信号が転送される（図47参照）。

【0425】次に共通バッファ部1421では、抜けセル数を入力ポート部1501が該当する出力ポート部1503に伝送する点、出力ポート部1503が、抜けセル数に応じて共通メモリ1502からのデータ取りだしを一時中断し、代わりに出力ポート部1503内に生成しているダミーデータを外部（対応するCS処理部）に送出する点、上記レイヤから読みだし許可信号がこない点を除いて第3の実施例の共通バッファ部1111と同様である（図48参照）。

【0426】以上の第4の実施例におけるATMデセル化装置においては、音声再生部、画像再生部、データ再生部、CS処理部の動的な組み合わせの変更、活線挿抜が可能なものになっている。

【0427】ここで、各再生部、CS処理部などは、活線挿抜が可能であることや、組み合わせが自由であることから、その組み合わせ、属性等を、CPUなどのATMデセル化装置を制御するモジュールに通知する場合があるが、この点については第3の実施例と同様にその通知などを行う。

【0428】以上は、ATM処理部、SAR処理部、共通バッファ部と、その各々の出力ポートに接続されるCS処理部、各再生部により構成されるATMデセル化装置であった。

【0429】なお、図50に見られるような受信したATMセル流を並列してフィルタリング（ATMセルヘッダ、または上位レイヤのヘッダ／トレイラを含んでも良い）し、必要なセルのみを取り込み、後のSAR処理、CS処理、各再生処理を行う方式において、AALを統合する形でSAR処理、CS処理を実現することも可能である。この場合、例えば各フィルタリング装置ごとに揺らぎ吸収、待ち合わせのためのバッファを準備する必要はあるが、該バッファの前後に、前記出力ポート部2203の選択機能を省いた入力ポート部2201と、出力ポート部2203を設け、さらに図33のSAR処理部、CS処理部1133、1134とほぼ同様の機能の同部を入力ポート部、バッファ、出力ポート部、SAR処理部、CS処理部、再生部の順に配列する。あるいは、前記出力ポート部の選択機能を省いた入力ポート部

1501、出力ポート部1503を設け、SAR処理部、入力ポート部、バッファ、出力ポート部、CS処理部、再生部の順に配列することによってATMデセル化装置を構成することができる。この場合、各バッファの容量を任意に選択できる機構を設けても良い。

【0430】また、図49にあるように、ATM処理部、SAR処理部、CS処理部を共用し、共通バッファを介して各再生部に転送する構成も構築可能である。

【0431】また、本実施例ではハードウェア論理による上位レイヤ処理実体としてXTPハードウェアを用いたが、その他の高速プロトコル（例えばTP++、NETBLT、VMTP）を用いても良い。

【0432】なお、これらの構成のATMデセル化装置にて、上位レイヤ（例えばXTPハードウェア、CPU等）の処理能力がオーバーしたなどの原因で、CS処理部、SAR処理部、共通バッファ部に対してバックプレッシャーの形でデータ送出制御を要請できる形としても良い。この場合、例えば第3の実施例のATMデセル化装置において、共通バッファ部1111の出力ポート部2203が受信する読みだし許可信号の発信源が対応するSAR処理部（SARレイヤ）のみでなく、更に上位のレイヤからも発信可能とすることにより該機能を実装することができる。その場合、有意・無意各信号等を通して各レイヤ処理機能を一時停止させる必要がある。また、第4の実施例においては、第3の実施例のように読みだし許可信号を、共通バッファ部1421に対して、新たに実装することにより、該機能を実現できる。

【0433】また、これまでの構成では、共通バッファ部1111／1421において後尾信号、メッセージ番号は出力ポート部2203／1503内のFIFOに格納されていたが、これらの値はデータと並行して共通メモリ2202／1502に格納されても良い。

【0434】また、共通バッファ部1111／1421の出力ポートの一つをシグナリング・OAM処理、および管理等専用に割り振っても良い。

【0435】以上、本発明の第3および第4の実施例に係るATMデセル化装置について詳細に説明してきたが、第3の実施例においてはATMレイヤ処理、物理レイヤ処理を共用しているため、ハードウェア量の削減と制御の単純化をはかることができ、第4の実施例においてはSARレイヤ処理、ATMレイヤ処理、物理レイヤ処理を共用しているため、ハードウェア量の削減と制御の単純化をはかることができる。

【0436】また、第3の実施例においてはATM処理部とSAR処理部、第4の実施例においてはSAR処理部とCS処理部の間に各出力ポートごとに個別のバッファを用意するのではなく、共通のバッファを用意している。

【0437】ここに、通常、情報のATMデセル化を行う際には、揺らぎ吸収のためのデータの待ち合わせであ

10

20

30

40

50

るとか、セル廃棄時などのデータの待ち合わせ、あるいはバーストの吸収のためのバッファリング機構が必須となる。従来、このバッファリング機構を個々の出力ポートごとに準備する場合、その出力ポートの最大スループット、最大バースト、あるいは（受信情報処理機構との組み合わせによる）バッファにたまり得るデータ量の最大量に応じた容量のバッファを設けることとなり、必要以上に大きな容量のバッファを必要とし、かつ受信情報のメディアや属性の変更に柔軟に対応することができなかった。例えば、画像の符号加速度を増加させる、揺らぎ吸収時間を可変とすることなどができなかったこれに対し、このように共通バッファ部を各出力ポート間で共通に用いることによりこれら受信情報処理機構のスループット、バーストのばらつきが平滑化され、弾力性にとんだ構成とすることができる。最大スループットや、最大バースト、揺らぎ吸収時間などの値の設定の際の制約条件は、共通バッファ部の総バッファ量に依存することとなり、柔軟性の向上が期待できる。また、結果として各出力ポート間でバッファを共用しているため、ハードウェア量（バッファ量）の削減を期待することができる。

【0438】各実施例のATMデセル化装置の構成は、明確にレイヤ間の切り分けがなされており、各レイヤ処理の変更や改良（たとえばハード処理からソフト処理への変更、あるいはその逆）に柔軟に対処することが可能である。

【0439】また、各実施例のATMデセル化装置においては、SAR処理部がAALのリアセンブリの機能と、AALタイプ1の（リアセンブリ以外の）その他の機能を有しており、外部からの指定により双方の機能にて動作をさせることもリアセンブリの機能のみで動作させることも可能であること、また、CS処理部がAALタイプ5のCSレイヤの機能の内、少なくともCPCSレイヤの機能を有しており、外部からの指定によりこの機能にて動作させることも、入力データを透過させることも可能であることから、以下の要領でATMデセル化を行うことができる。即ち、AALタイプ1にてATMデセル化を行う場合は、ATM処理部から入力されてきたデータをSAR処理部にてAALタイプ1の処理を行い、その後CS処理部を透過させるという形でこれを行うことができる。

【0440】また、AALタイプ5にてATMデセル化を行う場合は、ATM処理部から入力されてきたデータをSAR処理部にてCS-PDUのリアセンブリのみを行ってCS処理部にこれを渡し、CS処理部ではデータのCSレイヤ処理を行ってAAL-SDUを生成するという形でこれを行うことができる。つまり、同一の機構において簡単な切り替えを行うのみで入力データのATMデセル化をAALタイプ1、AALタイプ5の双方において行うことができる。

【0441】このような構成とすることで、AALタイプ1にてAAL処理を行うリアルタイム系情報処理機構と、AALタイプ5にてAAL処理を行うデータ系情報処理機構を出力先として情報処理を行うATMデセル化装置を構成する場合、これらの機構を統合することができ、その扱う情報の属性（リアルタイム系であるか、データ系であるか）、性質（速度など）、組み合わせを自由に選択、あるいは組替えが行えることとなる。これは各処理部がAALのタイプを問わなくなり、任意の構成・組み合わせにてメディアを問わずシステムを組めることによるものである。よって、ATMデセル化機構の統合化、効率化、柔軟化をはかることが可能になる。

【0442】なお、ここまでの各実施例においては、CS処理部とSAR処理部が分離した形態での例を示したが、CSレイヤの処理とSARレイヤの処理を単一のモジュールにて行い、該モジュールがAALタイプ1とAALタイプ5の処理を切り替えて行うような構成のATMデセル化装置も本発明に含まれるものである。

【0443】また、各実施例を見てもわかるように、SAR処理部、CS処理部に各該当レイヤの全機能を含む必要は必ずしもなく、適当に機能配分を変える形でいろいろの構成が、本発明の有効性を失わない形で可能である（例えば明確なレイヤ間切り分けは行われてないが、AALタイプ1とAALタイプ5の切り替えが容易に可能な構成のATMデセル化装置）、このようなATMデセル化装置も本発明に含まれるものである。

【0444】なお、本文中でも述べたが、バーストデータ通信用のAALとして、AALタイプ5ではなく、AALタイプ3/4を用いるものとし（あるいはAALタイプ3/4と、AALタイプ5を選択できるものとし）、行われる通信の属性に従ってAALタイプ1とAALタイプ3/4（あるいはAALタイプ1とAALタイプ5とAALタイプ3/4）の切り替えが容易に可能な構成のATMデセル化装置も本発明に含まれるものである。なお、この場合はAALタイプ1とAALタイプ5とを切り替える構成のATMデセル化装置と比較して、先に説明したような統合することによる利点は継承するが、AALタイプ3/4のAALレイヤでの処理が重い分、構成は若干複雑なものとなる。

【0445】また、リアルタイム情報のATMデセル化を本実施例ではAALタイプ1にて行っているが、これをAALタイプ2も選択できる形にて本装置を構成することも可能である（AALタイプ2は、AALタイプ1とAALタイプ5とを組み合わせたような形で構成される可能性が高い。よって、本装置をAALタイプ2にも拡張することは容易に可能である）。

【0446】また、ユーザ独自のAALレイヤ機能を定義できるAALタイプXをも選択できる形にして本装置を構成することも可能である。

【0447】また、LAN内など独自のプロトコルを選

10

20

30

40

50

扱える場合など、バーストデータに限らず音声・画像などのリアルタイム系の通信もAALタイプ5に含め

（長さ表示やCRC演算などを省略することも可）、あるいは反対に両（バースト、リアルタイム）属性の通信をAALタイプ1（あるいはAALタイプX）に含め、統合環境にてAALサービスを提供するような構成も、本発明に含まれるものである。

【0448】なお、パソコン等の各種端末、あるいはCPUの処理能力の急激な進展により、音声や画像などのリアルタイム情報の処理をも、CPU1331にて行うような構成が増えていくと考えられる。この場合について以下に説明する。

【0449】この場合、データ再生部1143、あるいはデータ再生部1144がそのまま音声・画像などのリアルタイム情報の再生部ともなり、システムバス上にデータ情報の他にリアルタイム情報も流れるな構成となる。この場合は、音声、あるいは画像などに割り当てたメッセージ番号をCS処理部が認識した場合は、該情報を透過させてシステムバスなりXTP／プロトコル処理プロセッサ等に該情報を転送し、データに割り当てられたメッセージ番号をCS-PDU処理部が認識した場合は、CSレイヤ処理を行ったのちにシステムバス、あるいはXTP／プロトコル処理プロセッサに転送するような形とすれば良い。

【0450】また、これまでの説明では、各出力ポートは同一のスループットを持った構成であったが、互いに異なるスループットを各／一部の各出力ポートが有している構成でも良い。

【0451】また、各実施例では、AALタイプ1におけるストラクチャ情報転送や、クロック再生（タイミング情報転送）については言及していないが、これらの機能を省いて実装することも、これらの機能をも含めて実装することも共に可能である。特に、ストラクチャ情報転送においては、各モジュール間に接続されている（AALタイプ1の時は本来利用されない）後尾信号を用いて（流用して）フレーム位置を指示することが可能である。

【0452】また、各実施例ではAALタイプ1におけるユーザ間情報転送について言及していないが、AALタイプ5と同様にAALレイヤ以上へのプリミティブとして提供することも可能である。その際は、AALタイプ5と同様に後尾信号を用いてこれを行っても良い。

【0453】また、上位レイヤのアーキテクチャとして、データ再生部A、Bのシステムバスが同一のものであっても良いし、マルチシステムバス構成になっていても良い。また、CPUが各レイヤごとに用意されているような直列型のマルチCPU構成、またはシステムバスにCPUが複数個関わっているような並列型のマルチCPU構成になっていても良い。また、同一のAAL処理部（SAR処理部、CS処理部）から複数の上位レイヤ

処理装置に分岐して処理を行う形成、または反対にAALまでの処理をタイプ別の処理にて行い、上位レイヤの処理を単一の装置（たとえばCPU）などで行う構成でも良い。例えば、本実施例においては、音声、画像再生処理を専用装置において行っているような構成の例を記述したが、前述のように音声、画像処理がシステムにつながるCPU、メモリにより成されるような構成であっても良い。また、図34、図35および図36の構成では、システムバスにメモリを接続している形態であったが、これらメモリ（の一部）をCS処理部内部に含むような構成になっても良い。

【0454】また、各実施例においては上位レイヤのアーキテクチャとしては、レイヤ3・4処理ハードウェアとしてXTPを、ソフト処理用としてCPUを用いたが、その他のハードウェア・ソフトウェアを実装することもむろん可能である。例えば、上位レイヤとして、LLC、SNAP、NLPIDなどを識別して複数のプロトコルを実装し、マルチプロトコル対応とすることも可能である。

【0455】また、上記と関連して、各実施例では網とのインターフェース点（例えばSB点、TB点、または独自インターフェース）を1つしか持っていないが、インターフェース点を複数個持つ、同様の構成のATMデセル化装置も容易に類推可能である。これらのインターフェース点が共通の上位レイヤ処理実態を有することで、本デセル化装置を（マルチプロトコル）ブリッジ／（マルチプロトコル）ルーター／（マルチプロトコル）ゲートウェイとして構成することも可能である。

【0456】

【発明の効果】本発明によれば下記のような作用効果が期待できる。

【0457】第1の発明のATMセル化装置においては、少なくとも一つのCS-PDU生成部、一つの共通バッファ部、および一つのATMセル生成部を少なくとも構成要素としていることにより、各情報源ごとに入力されてきたAAL-SDUに対して、（1）ATMアダプテーションレイヤ処理・ATMセル化処理を行い、その後これを多重して外部に送出するように構成したATMセル化装置、および（2）レイヤ2処理を行い、その後これを多重してATMセル化処理を行う構成したATMセル化装置のいずれと比較しても、ATMアダプテーションレイヤ（の下位サブレイヤ）とATMレイヤ、物理レイヤ処理を共用している分、ハードウェア量の削減がはかれる。

【0458】また、第2の発明のATMセル化装置においては、少なくとも一つのCS-PDU生成部、SAR-PDU生成部、一つの共通バッファ部、一つのATMセル生成部を少なくとも構成要素としていることにより、各情報源ごとに入力されてきたAAL-SDUに対して、ATMレイヤ、物理レイヤ処理を共用している

10

20

30

40

50

分、ハードウェア量の削減がはかれる。

【0459】またこれと共に、CS-PDU生成部とATMセル生成部の間に、各入力源ごとにバッファを用意するのではなく、共通のバッファを用意することにより、各々の入力源から入力される情報のバースト性に対して弾力性を持つこととなる。即ち、各入力源からのバースト流をこの共通バッファ部により束ねることにより、全体的にトラヒックの平滑化が図れることとなり、大幅なバッファ量の削減が実現できる。

【0460】また、例えば音声と画像、バーストデータなどというように、多様な速度を有する入力情報源に対し、それぞれ個別にバッファを用意した場合、入力源として考えられるものの中で、最大限に必要なバッファ量をあらかじめ準備しておく必要がある。これは、このバッファ量で規定される以上の情報出力速度を有する情報源を接続した場合、情報のバッファあふれを生じてしまい、ATMセル化を行えなくなるからである。これに対し、全入力源に対して共通のバッファを用意することにより、情報源の速度のひろがりの点に関しても弾力性を持つことができる。すなわち、全入力ポートごとに大容量のバッファを用意することなく、共通バッファ部の総バッファ量にて各情報源の出力速度の和が規定されることになり、この点でもバッファ量の削減をはかることができる。

【0461】第3の発明のATMセル化装置においては、CS-PDU生成部がAALタイプ5のCSレイヤ処理の内、CPCSレイヤ処理を実行する機能を有しており、外部からの指定によりこの処理機能にて動作させることも、入力データを透過させることも可能であること、また、SAR-PDU生成部が、AALのセグメンテーションの機能と、AALタイプ1の（セグメンテーション以外の）他の処理機能を有しており、外部からの指定により双方の処理を実行させることもセグメンテーション処理のみ実行させることも可能であることから、上位レイヤから入力されてきたデータをAALタイプ1にてATMセル化を行う場合は、CS-PDU生成部を透過させ、SAR-PDU生成部にてAALタイプ1のSARレイヤ処理を行い、その後ATMセル生成部にてATMセルを生成するという形でATMセル化を行い、AALタイプ5にてATMセル化を行う場合は、CS-PDU生成部にてデータのCSレイヤ処理を行ってCS-PDUを生成し、その後SAR-PDU生成部にてこれらCS-PDUのセグメンテーションのみを行ってATMセル生成部にこれを渡し、ATMセル生成部にて最終的なATMを生成するという形でATMセル化を行うことができ、同一の機構において簡単な切り替えを行うのみで入力データのATMセル化をAALタイプ1、タイプ5双方において行うことができる。AALタイプ1と、AALタイプ5には、その構造において、AALタイプ5においてCSヘッダ、トレイラ処理を行うこと、

およびAALタイプ1においてSARヘッダ処理を行うことにその差分を見いだすことができるが、本発明のような構造とすることにより両AAL処理を単一の機構にて行うことができる。このような構成とすることで、AALタイプ1にてAAL処理を行うリアルタイム系情報源と、AALタイプ5にてAAL処理を行うデータ系情報源を入力源として情報送信を行うARMセル化装置を構成する場合、その入力源の属性（リアルタイム系であるか、データ系であるか）、性質（速度など）、組み合わせを自由に選択、あるいは組み替えが行えることとなり、ATMセル化機構の統合化、効率化、柔軟化をはかることが可能になる。

【0462】また、上記第1および第2の発明のATMセル化装置において、前記共通バッファ部がその内部に、CS-PDU生成部、あるいはSAR-PDU生成部ごとに論理FIFOを構成し、さらに上記ATMセル生成部がセル周期ごとに上記論理FIFOに格納された情報量を計測し、該論理FIFO内にセルを生成するに十分な量の情報が格納されている場合はこの条件を満たす論理FIFOのうちから一つを選択してここから情報を取り出し、ATMセル化を行い、この条件を満たす論理FIFOがない場合はその他のセルを送出することにより、この時点で各入力源から入力されたセル化が可能な情報の多重化、およびセル化が行われ、更に共通バッファから取り出されてATMセル化されたATMセル流は、各入力情報源についてATM多重されていることとなり、統計多重効果が期待できる。

【0463】また、第1および第2の発明のATMセル化装置において、前記CS-PDU生成部に入力される情報ごとにAALタイプを登録しておき、ATMセル生成部がこれに従ってATMセル化を行うことにより、いろいろな属性を有した情報源からの情報のセル化を単一のATMセル生成部により行うことができる。

【0464】一方、第4の発明のATMデセル化装置においては、SAR処理部がAALのリアセンブリ処理と、AALタイプ1の（リアセンブリ以外の）その他の処理を実行する機能を有しており、外部からの指定により双方の処理を実行させることもリアセンブリ処理のみ実行させることも可能であること、また、CS処理部がAALタイプ5のCSレイヤ処理の内、少なくともCPCSレイヤ処理を実行する機能を有しており、外部からの指定によりこの処理機能にて動作させることも、入力データを透過させることも可能であることから、以下の要領でATMデセル化を行うことができる。まず、AALタイプ1にてATMデセル化を行う場合は、ATM処理部から入力されてきたデータをSAR処理部にてAALタイプ1のSARレイヤ処理を行い、その後CS処理部を透過させるという形でこれを行うことができる。また、AALタイプ5にてATMデセル化を行う場合は、ATM処理部から入力されてきたデータをSAR処理部

10

20

30

40

50

にてCS-PDUのリアセンブリのみを行ってCS処理部にこれを渡し、CS処理部ではデータのCSレイヤ処理を行ってAAL-SDUを生成するという形でこれを行うことができる。つまり、同一の機構において簡単な切り替えを行うのみで入力データのATMデセル化をAALタイプ1、AALタイプ5の双方において行うことができる。

【0465】AALタイプ1と、AALタイプ5は、その構造において、AALタイプ5においてCSヘッダ、トレイラ処理を行うこと、およびAALタイプ1においてSARヘッダ処理を行うことにその差分を見いだすことができるが、本発明のような構造とすることにより両AAL処理を単一の機構にて行うことができる。このような構成とすることで、AALタイプ1にてAAL処理を行うリアルタイム系情報処理機構と、AALタイプ5にてAAL処理を行うデータ系情報処理機構を出力先として情報処理を行うATMデセル化装置を構成する場合、その扱う情報の属性（リアルタイム系であるか、データ系であるか）、性質（速度など）、組み合わせを自由に選択、あるいは組替えが行えることとなり、ATMデセル化機構の統合化、効率化、柔軟化をはかることが可能になる。

【0466】また、第5の発明のATMデセル化装置においては、一つのATM処理部、一つの共通バッファ部、少なくとも一つのSAR処理部、少なくとも一つのCS処理部を少なくとも構成要素としていることにより、各受信情報処理機構間でATMセルの物理レイヤ処理、およびATMレイヤ処理の共用をはかることができ、ハードウェア量の削減をはかることができる。

【0467】また、第6の発明のATMデセル化装置においては、一つのATM処理部、一つのSAR処理部、一つの共通バッファ部、少なくとも一つのCS処理部を少なくとも構成要素としていることにより、各受信情報処理機構間でATMセルの物理レイヤ処理、およびATMレイヤ処理、SAR処理部においてAAL・SARレイヤ処理の共用をはかることができ、ハードウェア量の削減をはかることができる。

【0468】また、上記第5および第6の発明のATMデセル化装置において、共通バッファ部を用いることにより、以下に述べるような効果を得ることができる。

【0469】まず、共通バッファ部を揺らぎ吸収用バッファとして用いることにより、ATM通信に特有のATMセルの到着揺らぎの吸収をこのモジュールを用いて行うことが可能である。

【0470】また、共通バッファ部の各出力ポートには本ATMデセル化装置を登しているATM端末装置が扱う各々のメディア、属性、性質に応じた受信情報処理機構が（複数個）接続されることになるが、従来はこれらの受信情報処理機構のそれぞれに、その最大スループット、または（受信情報処理機構の組み合わせによる）バ

ッファにたまりえるデータ量の最大量に応じた容量のバッファ部を設けていたため、必要以上に大きな容量のバッファを必要とし、かつ受信情報処理機構の変更に柔軟に対応することができなかった。これに対し、このように共通バッファ部を各出力ポート間で共通で用いることにより、これら受信情報処理機構のスループットのばらつきが平滑化され、弾力性に富んだ構成とすることができるとともに、大幅なハードウェア量の削減をはかることが可能となる。

【0471】また、従来の各出力ポートごとに設けられていたバッファ部は、該ポートへの情報（セル）の到着のバースト性を吸収する用途にも用いられていた。この観点からも各ポートごとに設けられたバッファ部は想定される最大バーストに対応したバッファ部を用いるのに対し、共通バッファ部にて全ての出力ポートを共有することにより、一部の出力ポートへのバーストを吸収して平滑化することができることから、バースト吸収の観点からも弾力性を持つ構成といえる。

【0472】また、これら第5および第6の発明のATMデセル化装置の構成は、明確にレイヤ間の切り分けがなされており、各レイヤ処理の変更や改良（たとえばハード処理からソフト処理への変更、あるいはその逆、プロトコルのへのうなど）に柔軟に対処することが可能である。

【0473】また、これら第5および第6の発明のATMデセル化装置の構成ではメディアを問わない構成となっており、リアルタイム系、データ系を問わず自由な構成、組み合わせのATMデセル化装置を構成することができる。

【0474】また、第7の発明のATMデセル化装置においては、バッファ入力手段がバッファ出力手段に対してセルの抜けに関する情報を送出しており、バッファ出力手段はセルの抜けがあると判断される場合はバッファからデータを取り出すことをせず、バッファ出力内部にて抜けたセル数分のデータの補償を適当な形で行い、適当な補償を行った後にバッファからデータを取り出すことによりバッファ出力手段の後段にて必要なデータを抜けデータ無し状態で提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るATMセル化装置を示す構成図

【図2】CS-PDU生成部の内部構成の一例とその周辺回路を示す構成図

【図3】AALタイプ5のCS-PDUのフォーマットを示す図

【図4】CS-PDU生成部の内部構成の他の例とその周辺回路を示す構成図

【図5】共通バッファ部の内部構成の一例

【図6】入力ポート部201の内部構成を示す図

【図7】共通メモリ202を示す構成図

10

20

30

40

50

【図 8】出力ポート部 2 0 3 の内部構成を示す図  
【図 9】共通バッファ部の内部構成の他の例  
【図 1 0】出力ポート部 2 0 6 の内部構成を示す図  
【図 1 1】格納終了ペイロードスロットアドレスストアの内部構成を示す図  
【図 1 2】ATMセル生成部の内部構成を示す図  
【図 1 3】メッセージ番号解析部 3 0 3 内のテーブルの構成例  
【図 1 4】共通バッファ部と ATMセル生成部間のデータの流れを説明するための図  
【図 1 5】SARH付与部と ATMH付与部間のデータ  
【図 1 6】ユーザインタフェースを説明するための図  
【図 1 7】XTPと CS-PDU生成部 1 1 0 0 間のデータの流れを説明するための図  
【図 1 8】共通メモリ 2 0 2 へのデータの書き込みを説明するための図  
【図 1 9】クロック乗換機能を有する場合の入力ポート部 2 1 1 の内部構成を示す図  
【図 2 0】本発明の第 2 の実施例に係る ATMセル化装置を示す構成図  
【図 2 1】SAR-PDU生成部の内部構成  
【図 2 2】従来のマルチメディア通信の実現手法の一例を説明するための図  
【図 2 3】従来のマルチメディア通信の実現手法の他の例を説明するための図  
【図 2 4】従来のマルチメディア情報の ATMセル化手法の一例を示す図  
【図 2 5】従来のマルチメディア情報の ATMセル化手法の他の例を示す図  
【図 2 6】本発明の第 3 の実施例に係る ATMデセル化装置を示す構成図  
【図 2 7】ATM処理部 1 1 0 1 の内部構成を示す図  
【図 2 8】VCI・メッセージ番号変換テーブルを示す図  
【図 2 9】共通バッファ部 1 1 1 1 の内部構成を示す図  
【図 3 0】入力ポート部 2 2 0 1 の内部構成を示す図  
【図 3 1】共通メモリの内部構成を示す図  
【図 3 2】出力ポート部 2 2 0 3 の内部構成を示す図  
【図 3 3】SAR処理部の内部構成を示す図  
【図 3 4】CS処理部 1 1 3 3 の構成の一例を示す図  
【図 3 5】CS処理部 1 1 3 3 の構成の他の例を示す図  
【図 3 6】CS処理部 1 1 3 4 の構成の一例を示す図  
【図 3 7】ATM処理部 1 1 0 1 と共通バッファ部 1 1 1 1 間のデータの流れおよび ATM処理部 1 4 0 1 と SAR処理部 1 4 1 1 間のデータの流れを説明するための図  
【図 3 8】AALタイプ 1 の時の共通バッファ部 1 1 1 1 と SAR処理部間のデータの流れを説明するための図  
【図 3 9】SAR処理部と CS処理部間のデータの流れを説明するための図

【図 4 0】CS処理部の一例と XTP間のデータの流れを説明するための図

【図 4 1】CS処理部の他の例と XTP間のデータの流れを説明するための図

【図 4 2】本発明の第 4 の実施例に係る ATMデセル化装置を示す構成図

【図 4 3】SAR処理部 1 4 1 1 の内部構成を示す図

【図 4 4】共通バッファ部 1 4 2 1 の内部構成を示す図

【図 4 5】入力ポート部 1 5 0 1 の内部構成を示す図

【図 4 6】出力ポート部 1 5 0 3 の内部構成を示す図

【図 4 7】SAR処理部 1 4 1 1 と共通バッファ部 1 4 2 1 間のデータの流れを説明するための図

【図 4 8】共通バッファ部 1 4 2 1 と CS処理部間のデータの流れを説明するための図

【図 4 9】ATMデセル化装置の構成の他の例を示す図

【図 5 0】従来の ATMデセル化装置の一例を示す図

【図 5 1】従来の ATMデセル化装置の他の例を示す構成図

【図 5 2】従来の ATMデセル化装置のさらに他の例を示す構成図

【符号の説明】

1 0 1…音声情報源、1 0 2…画像情報源、1 0 3…データ情報源、1 0 4…データ情報源 B、1 1 1…CS-PDU生成部 A、1 1 2…CS-PDU生成部 B、1 1 3…CS-PDU生成部 C、1 1 4…CS-PDU生成部 D、1 2 1…共通バッファ部、1 3 1…ATMセル生成部、4 0 0…CS-PDU生成部、4 0 1…カウンタ、4 0 2…PAD挿入回路、4 0 3…AL挿入回路、4 0 4…Length挿入回路、4 0 5…CRC演算回路、4 0 6…メッセージ番号レジスタ、4 1 0…CS-PSU生成部、4 4…トリガレジスタ、4 1 2…ポインタレジスタ、4 1 3…長さレジスタ、4 1 4…メッセージ番号レジスタ、4 1 5…カウンタ、4 1 6…比較器、4 1 7…PAD挿入回路、4 1 8…AL挿入回路、4 1 9…Length挿入回路、4 2 0…CSC演算回路、2 0 1…入力ポート部、2 0 2…共通メモリ、2 0 3…出力ポート部、2 0 4…空ペイロードスロットアドレスキュー、2 0 5…格納終了ペイロードスロットアドレスキュー、6 1 1…入力ポート制御部、6 1 2…空ペイロードスロット捕捉レジスタ、6 1 3…カウンタ、6 1 4…シリアル・パラレル変換部、6 1 5…同期判断部、6 3 1…取り出し制御部、6 3 2…格納終了ペイロードスロット捕捉レジスタ、6 3 3…カウンタ、6 6…出力ポート部、6 7…格納数量ペイロードスロットアドレスストア、2 1 1…入力ポート部、6 6 1…取り出し制御部、6 6 2…格納終了ペイロードスロット捕捉レジスタ、6 6 3…カウンタ、6 6 4…選択制御部、6 7 1…格納終了ペイロードスロットアドレスキュー、6 7 2…格納終了フラグ、3 0 1…シーケンサ、3 0 2…トリガ生成回路部、3 0 3…メッセージ番号解析部、3 0 4…

10

20

30

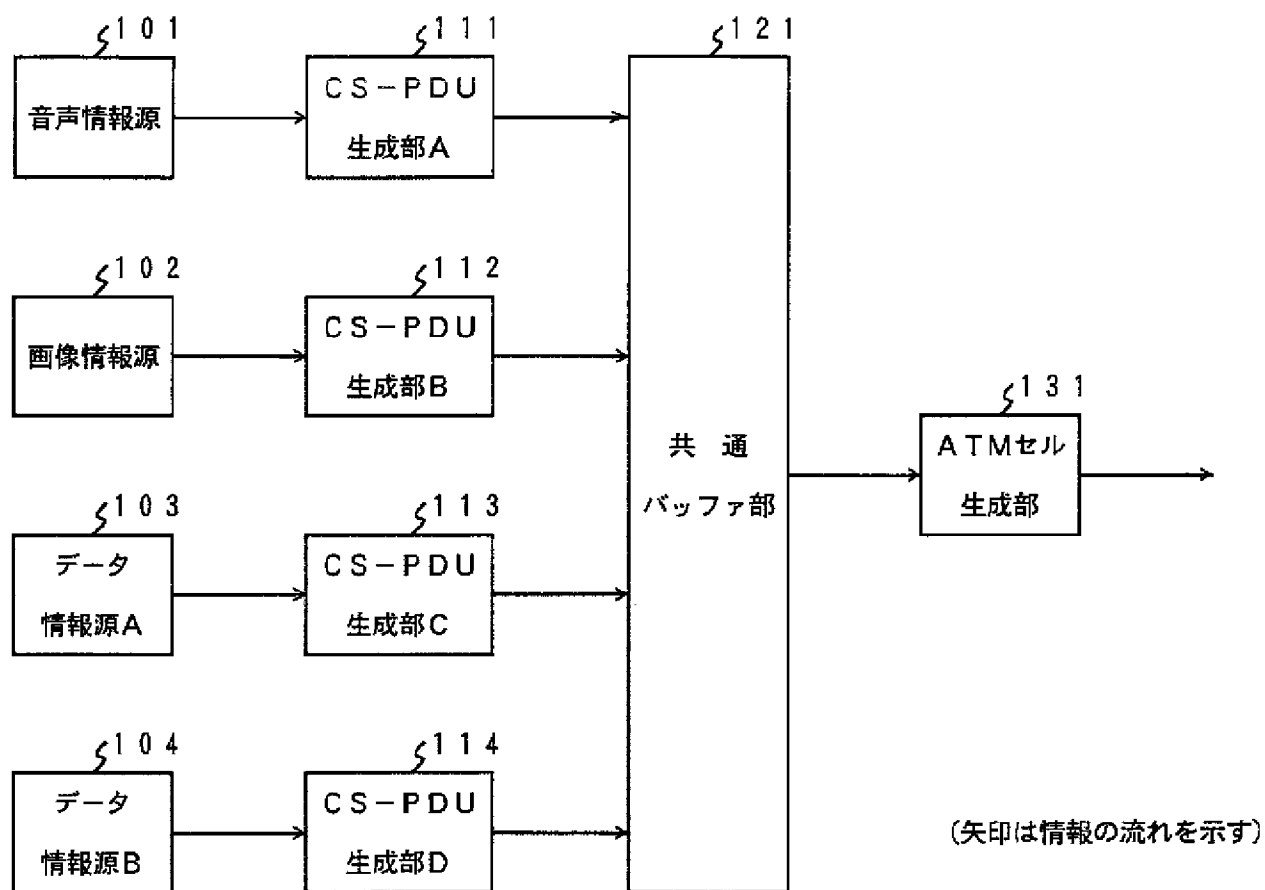
40

50





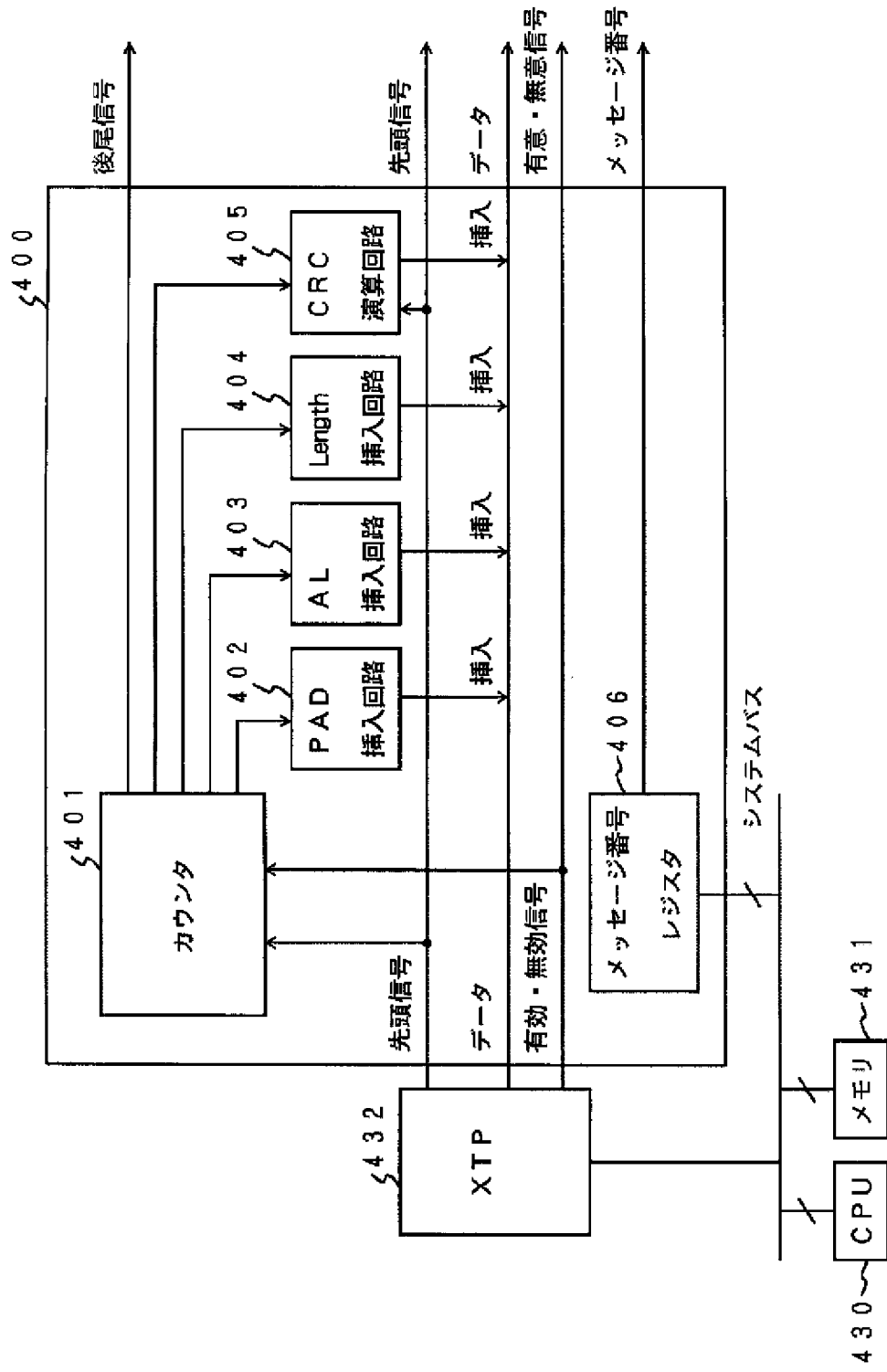
【図1】



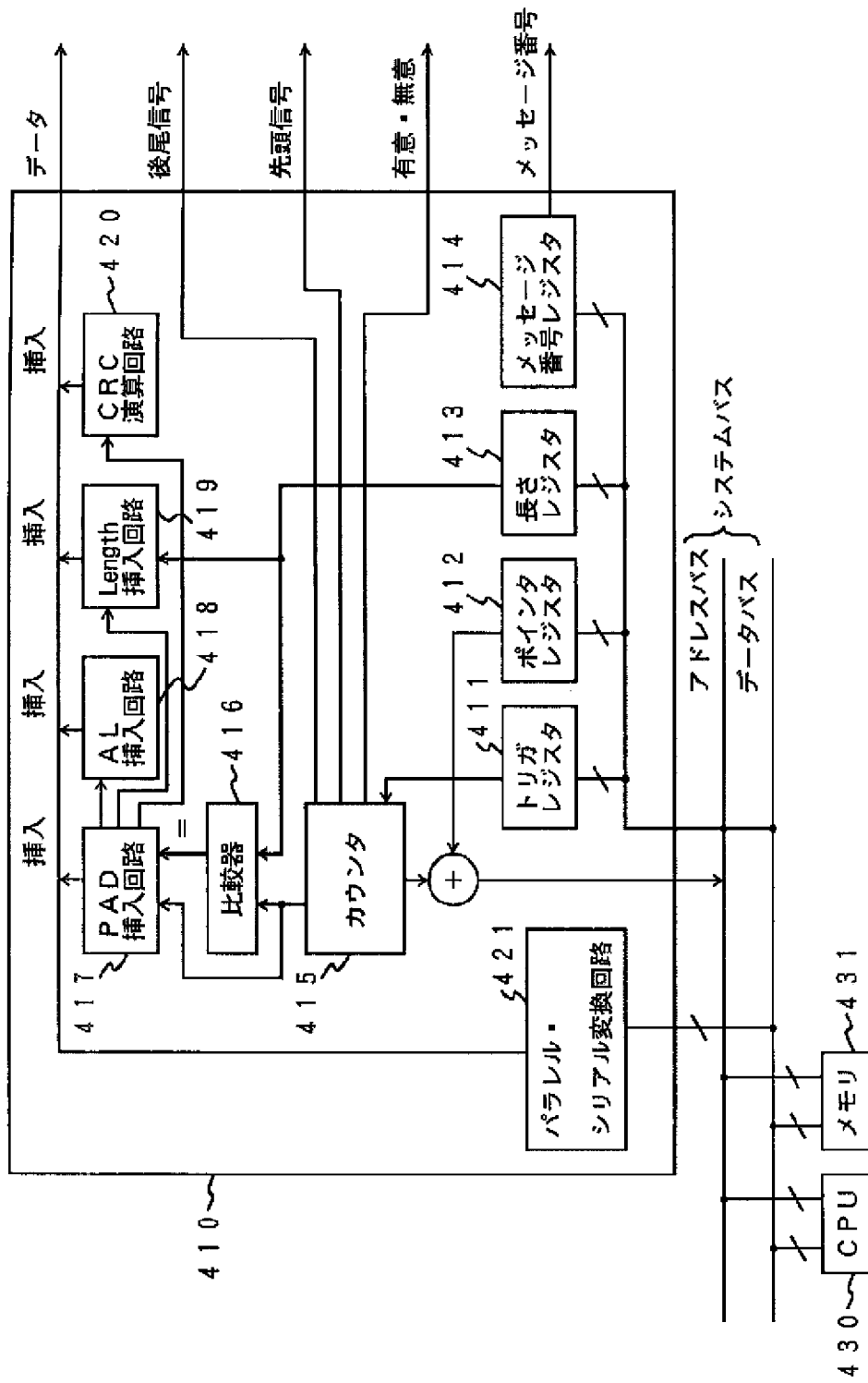
【図13】

メッセージ番号	AALタイプ	SARH	ATMH (VPI/VCI/PT/CLP)
0	1	xxxxxxxx	xxxxxxxx xx.....
1	1	xxxxxxxx	xxxxxxxx xx.....
2	5	0	x.....
3	5	0	x.....
4	5	0	x.....
5	1	xxxxxxxx	x.....
6	5	0	x.....

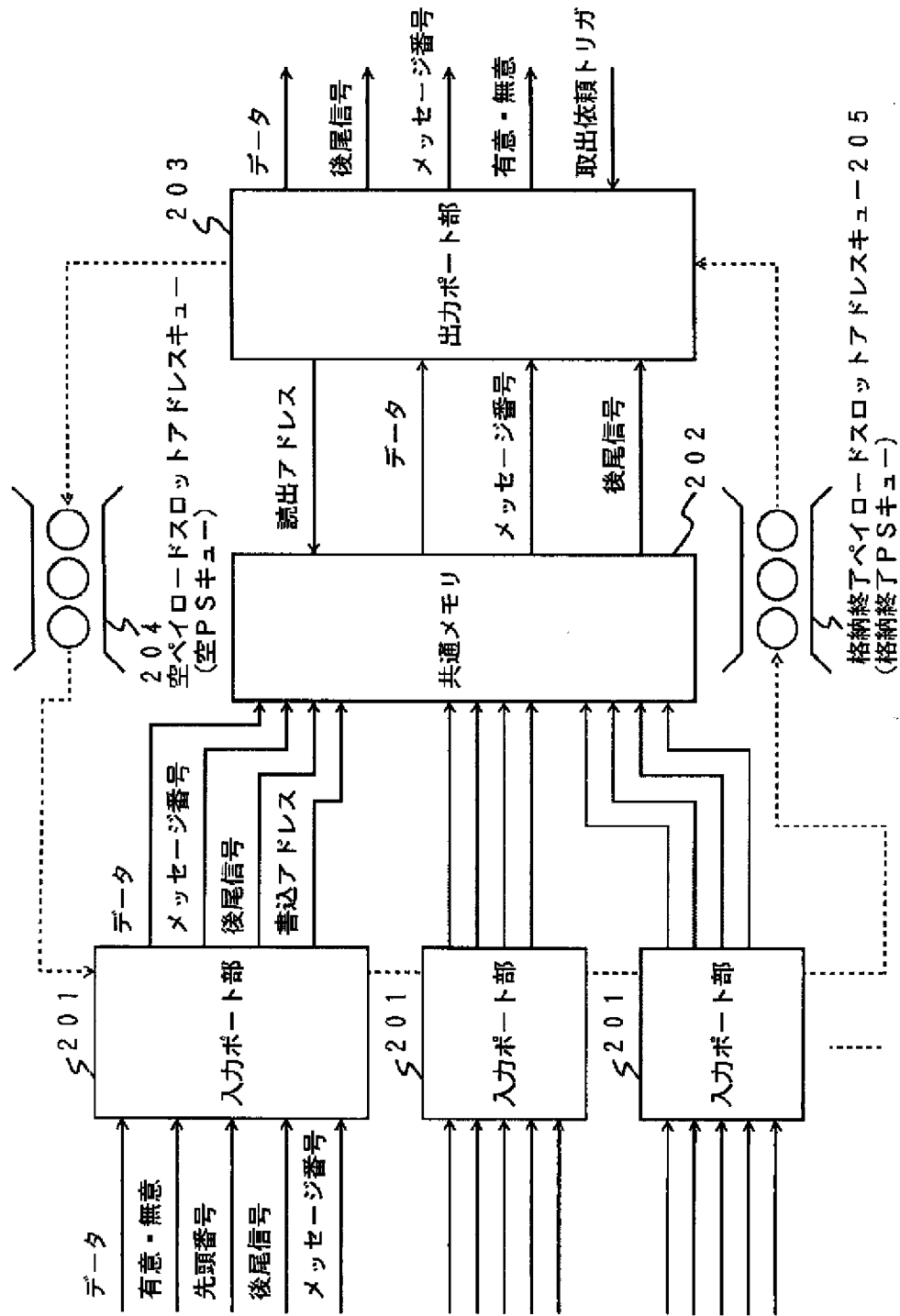
【図2】



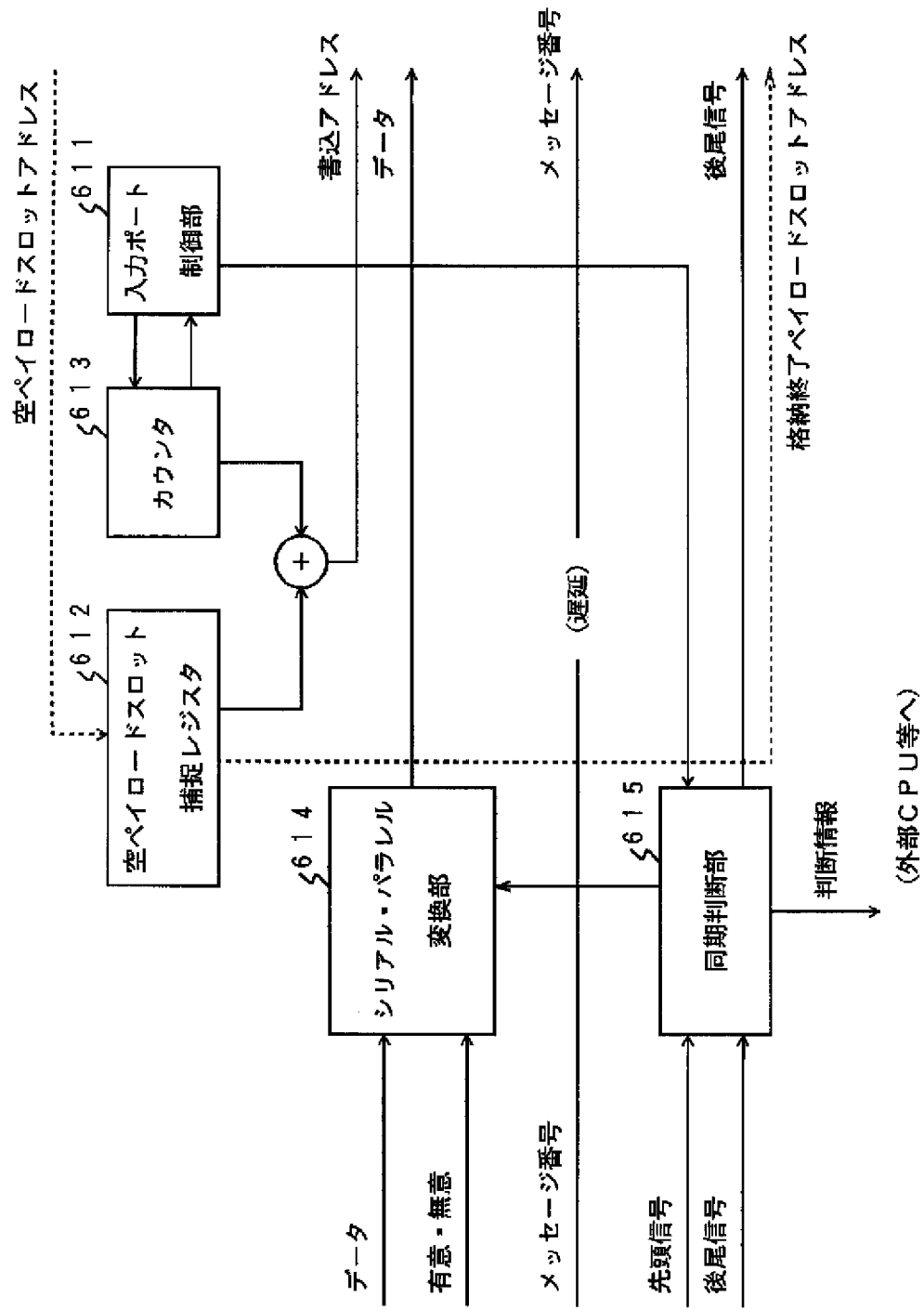
【図4】



【図5】



【図6】



取出依頼トリガ

メッセージ番号

データ

(AALタイプ5のとき)

データ

(AALタイプ1のとき)

有意・無意

後尾信号

メッセージ番号

データ

データ

5オクテット

48オクテット

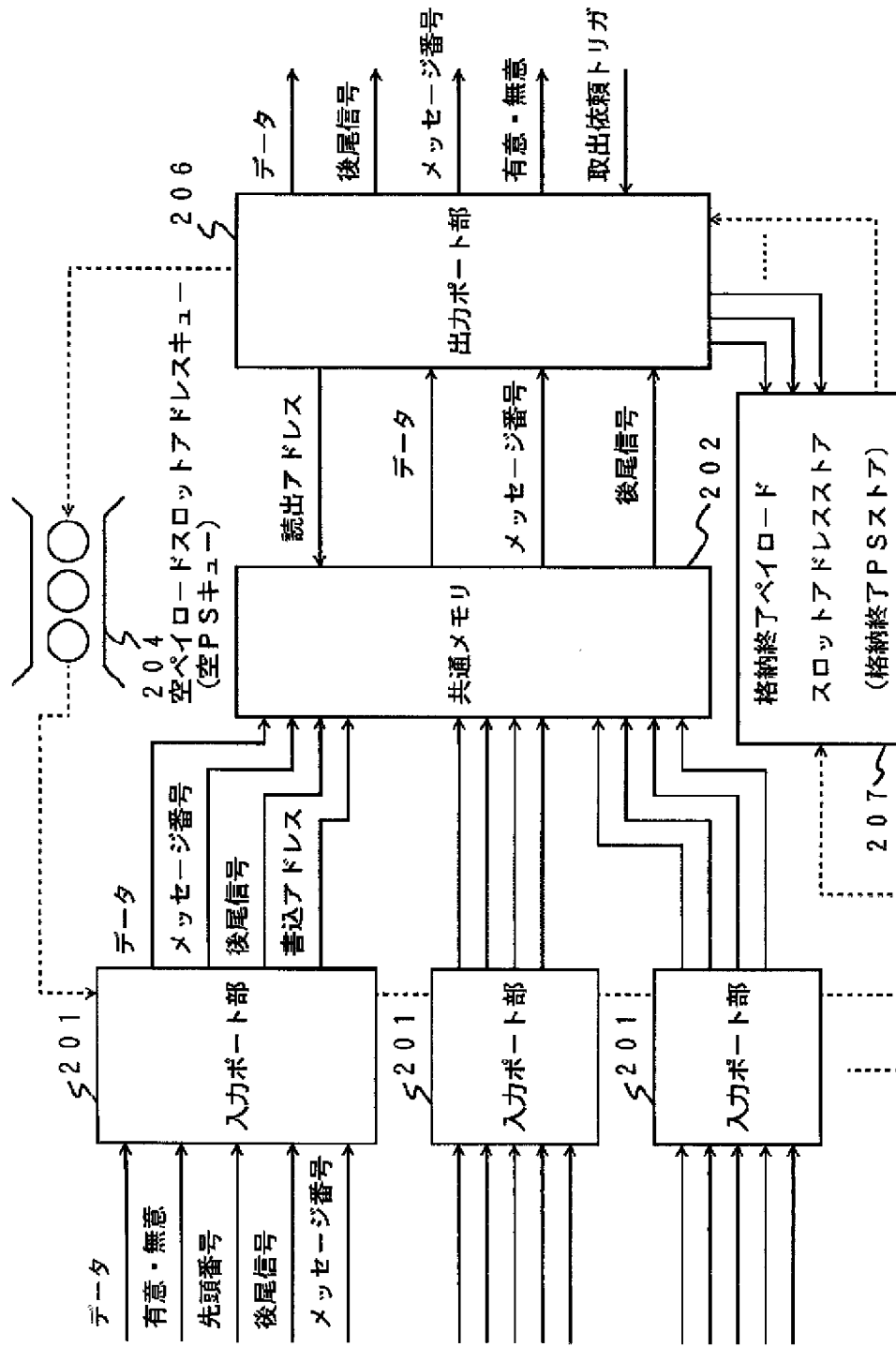
5オクテット

47オクテット

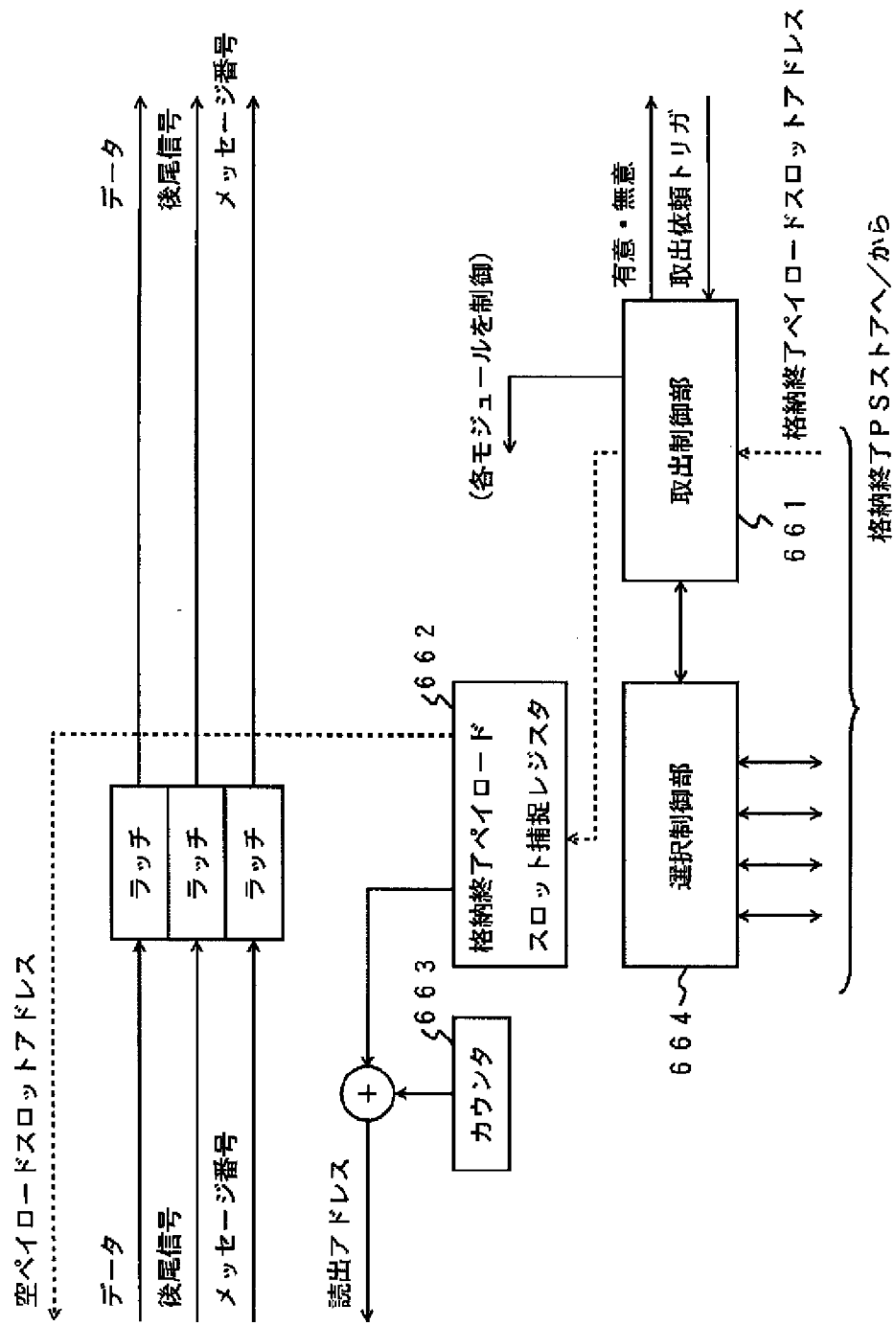
1

[illegible]

【図9】

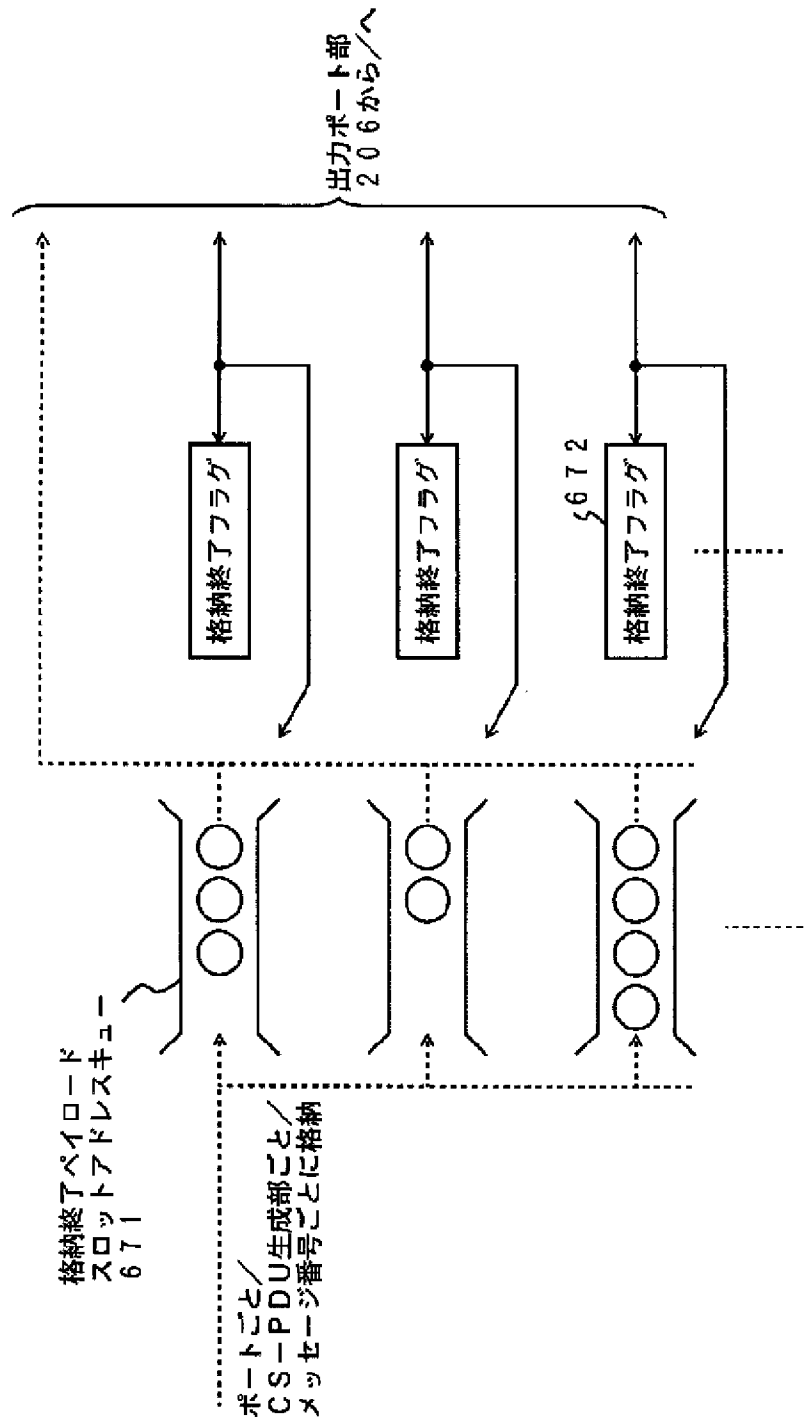


【図10】

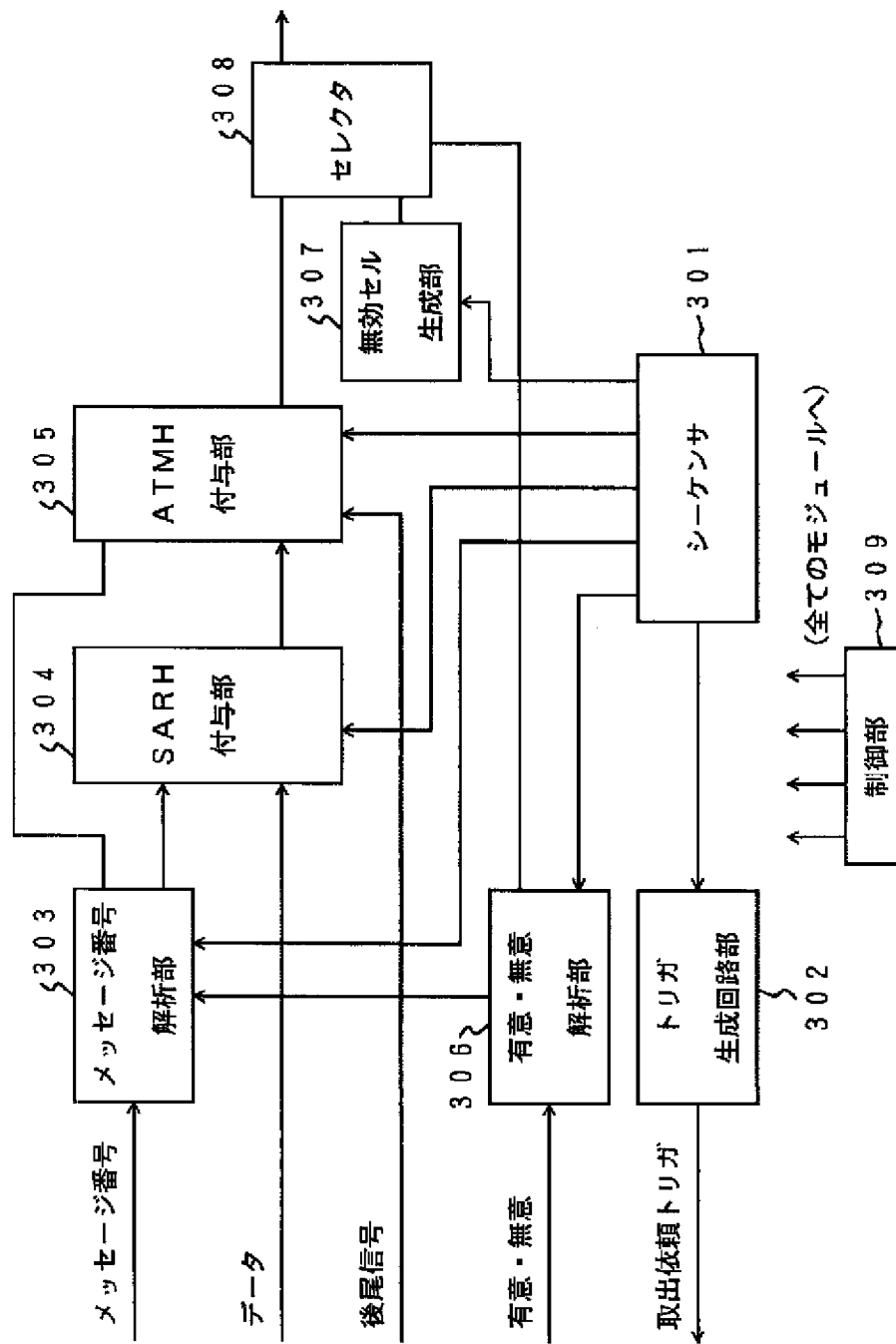




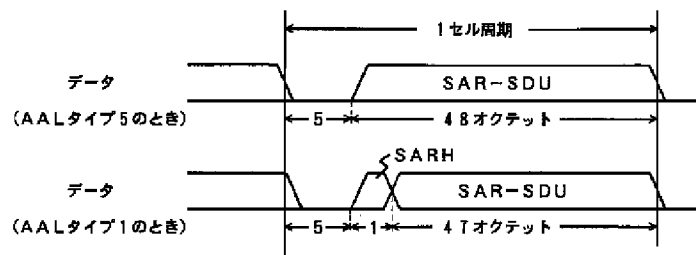
【図11】



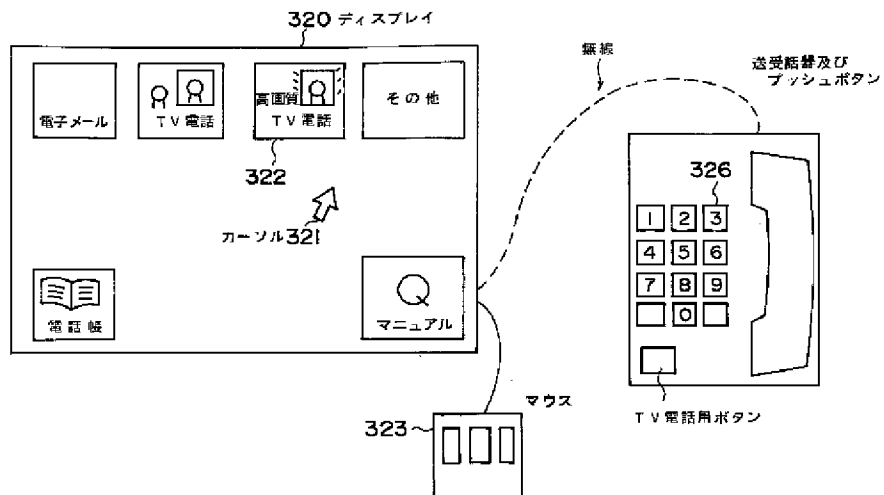
【図12】



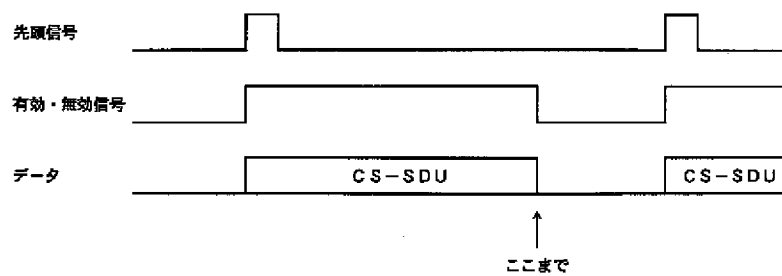
【図15】



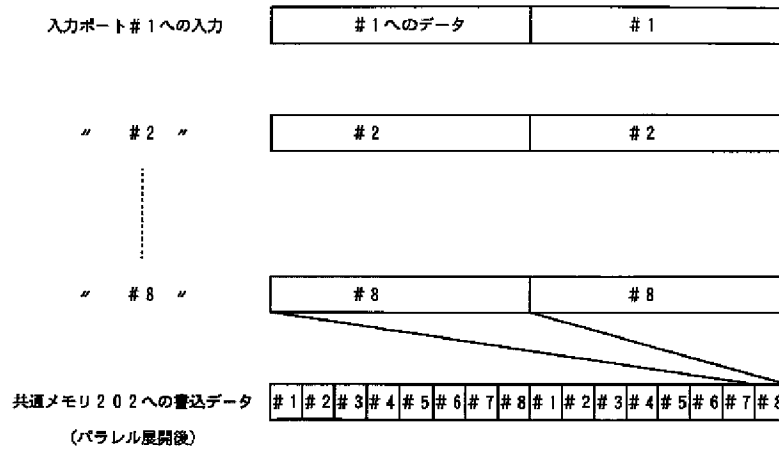
【図16】



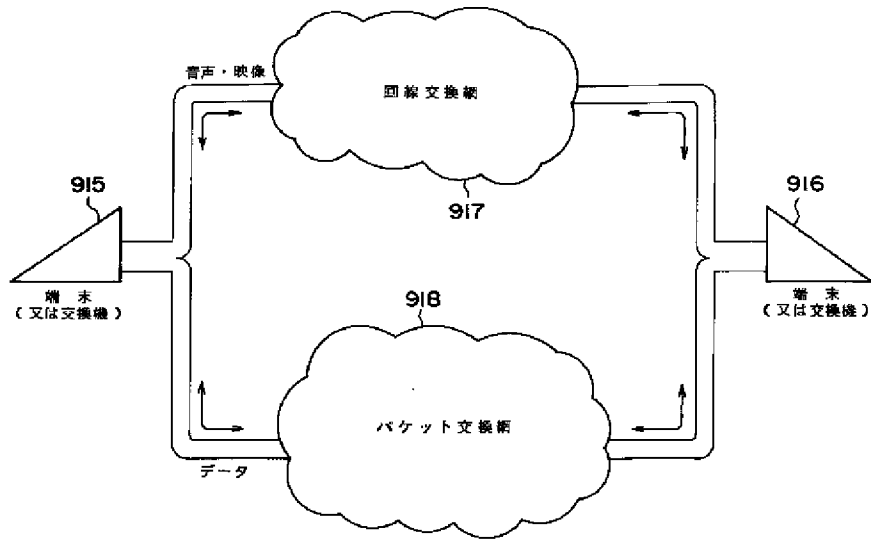
【図17】



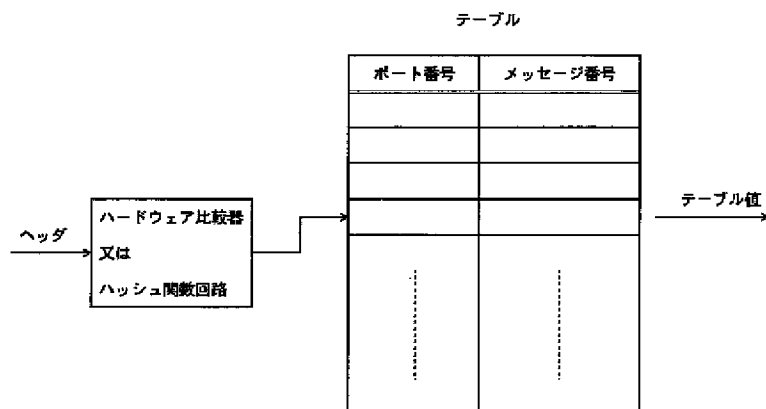
【図18】



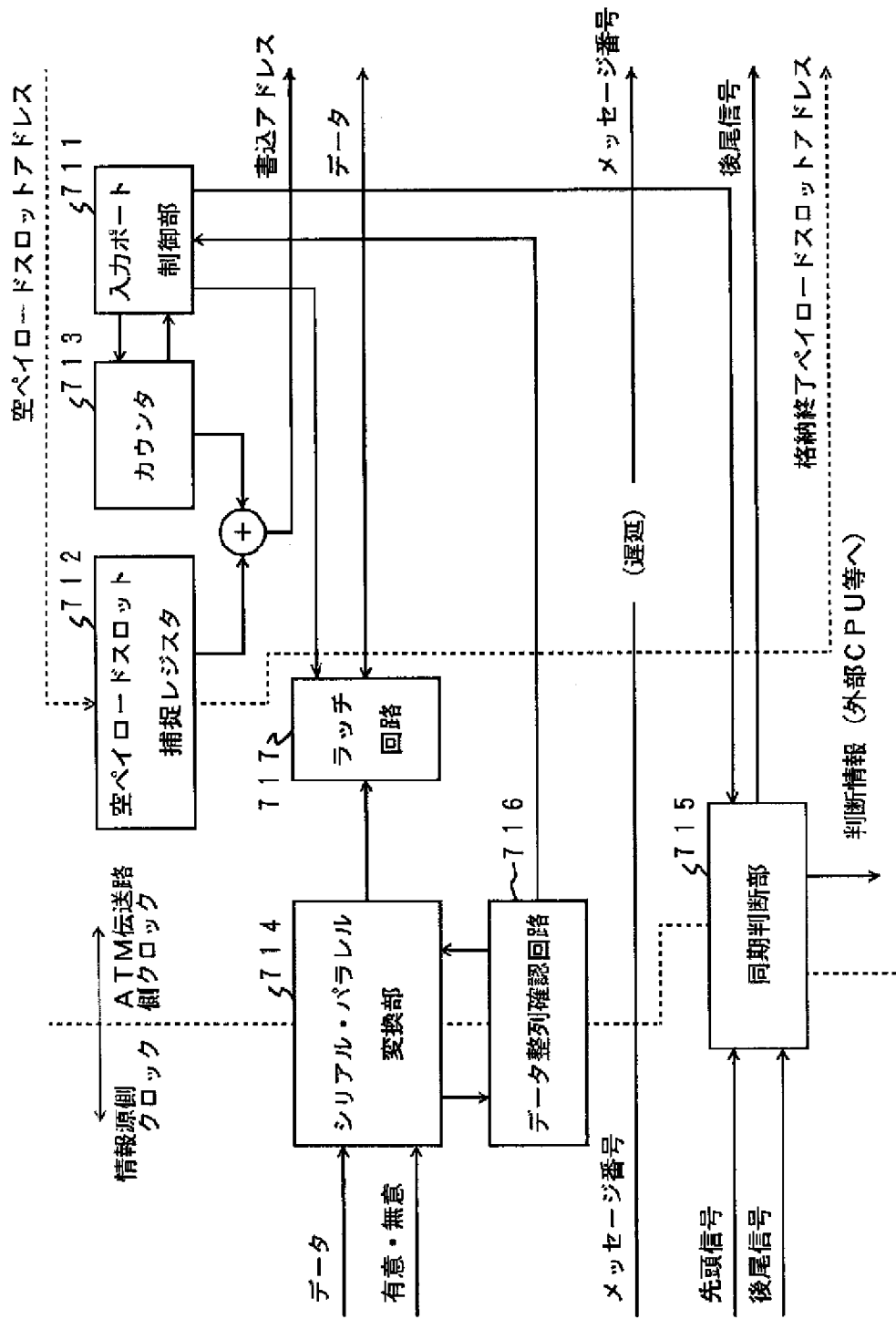
【図22】



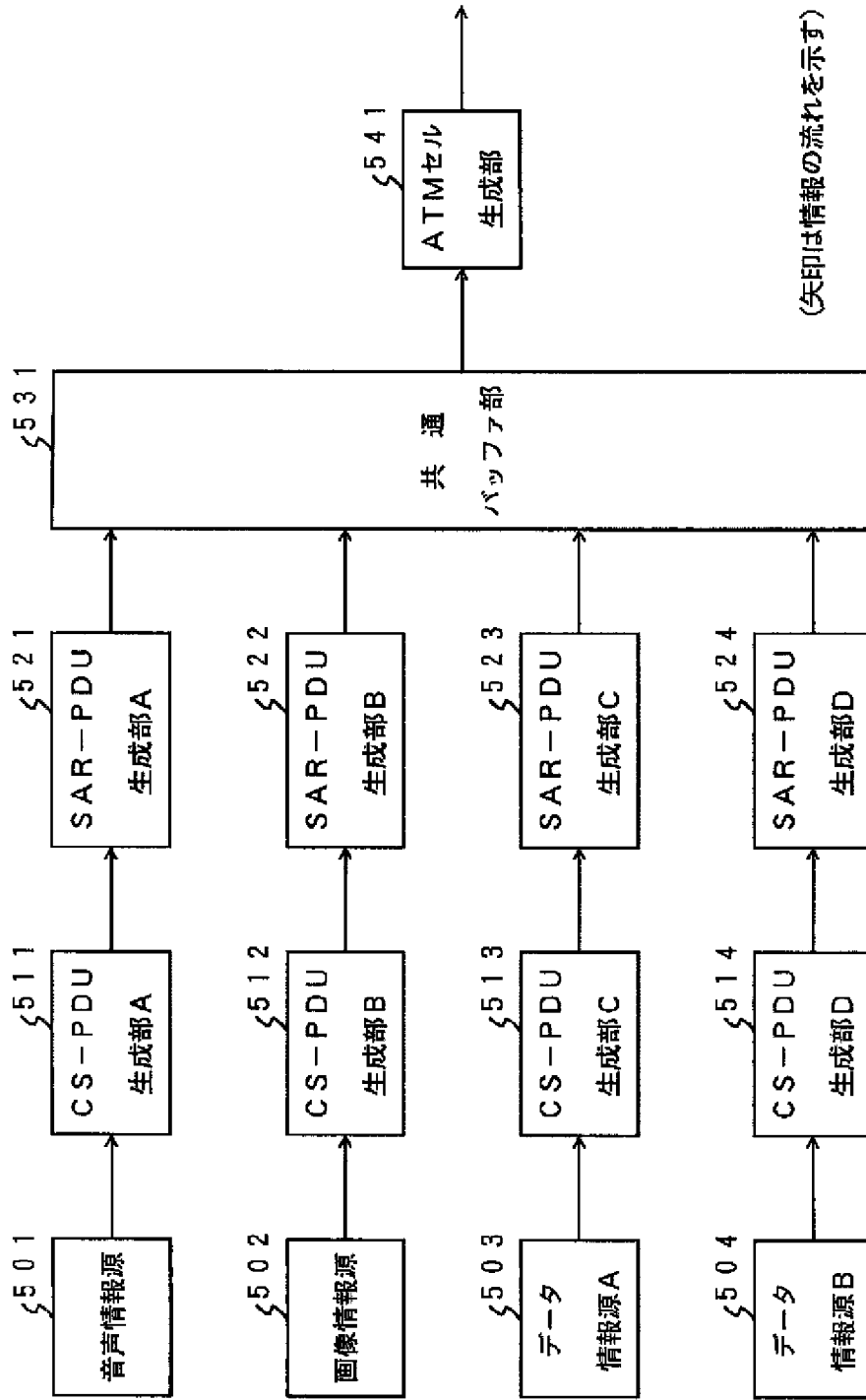
【図28】



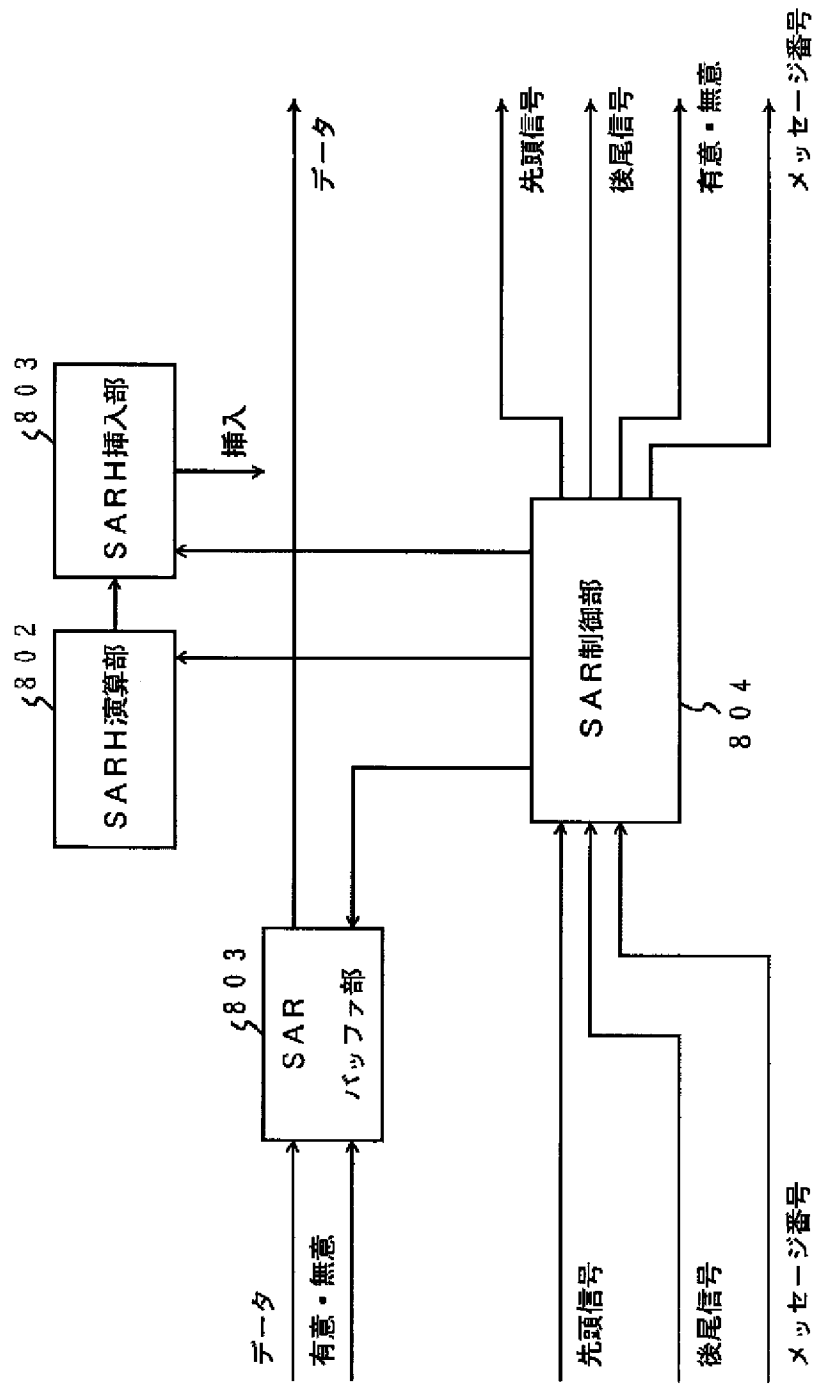
【図19】



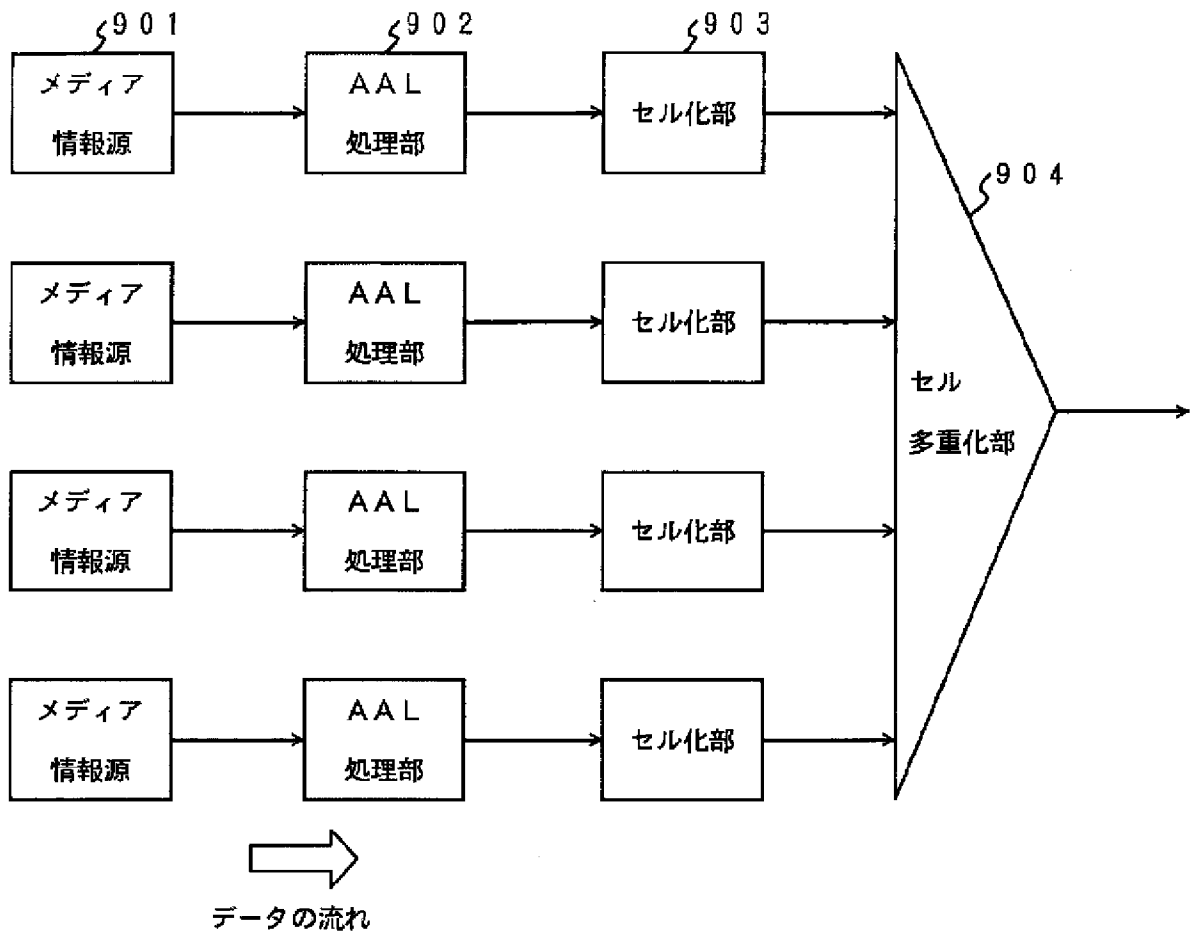
【図20】



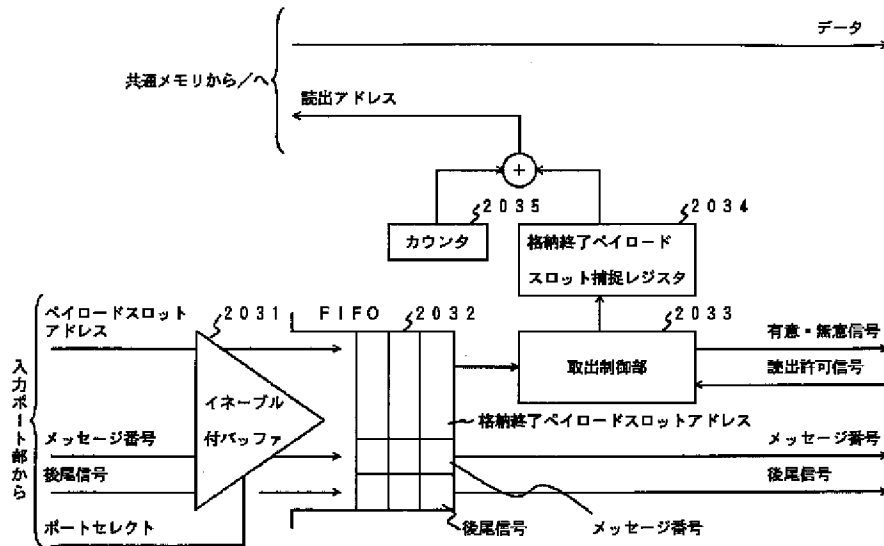
【図 21】



【図24】

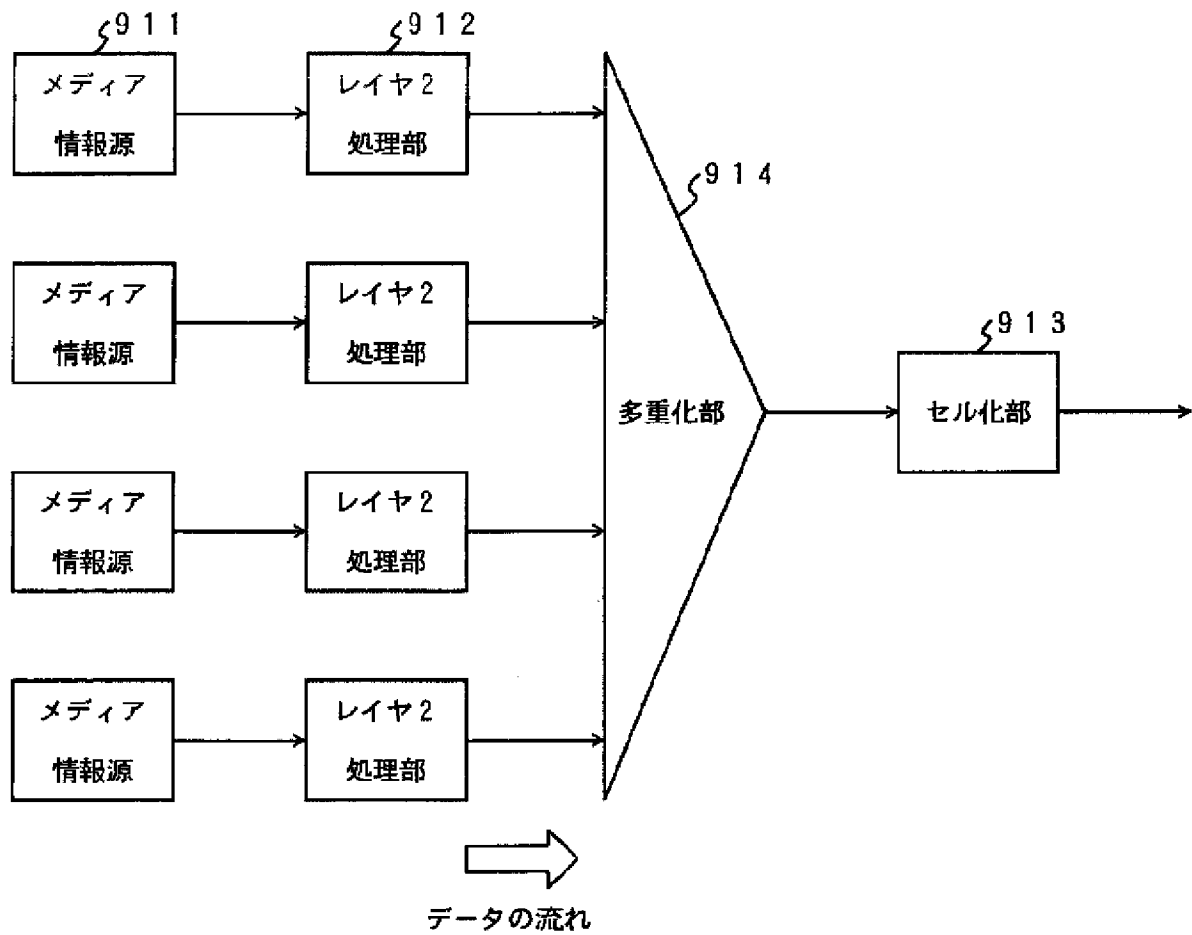


【図32】

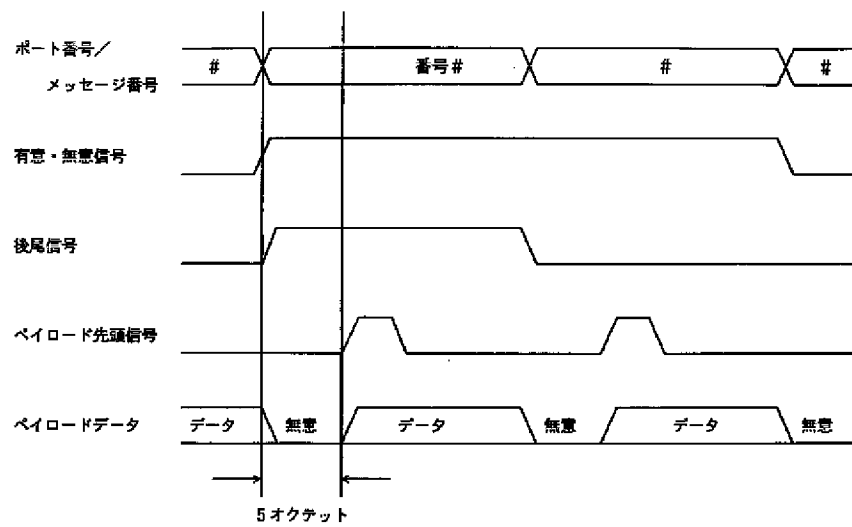




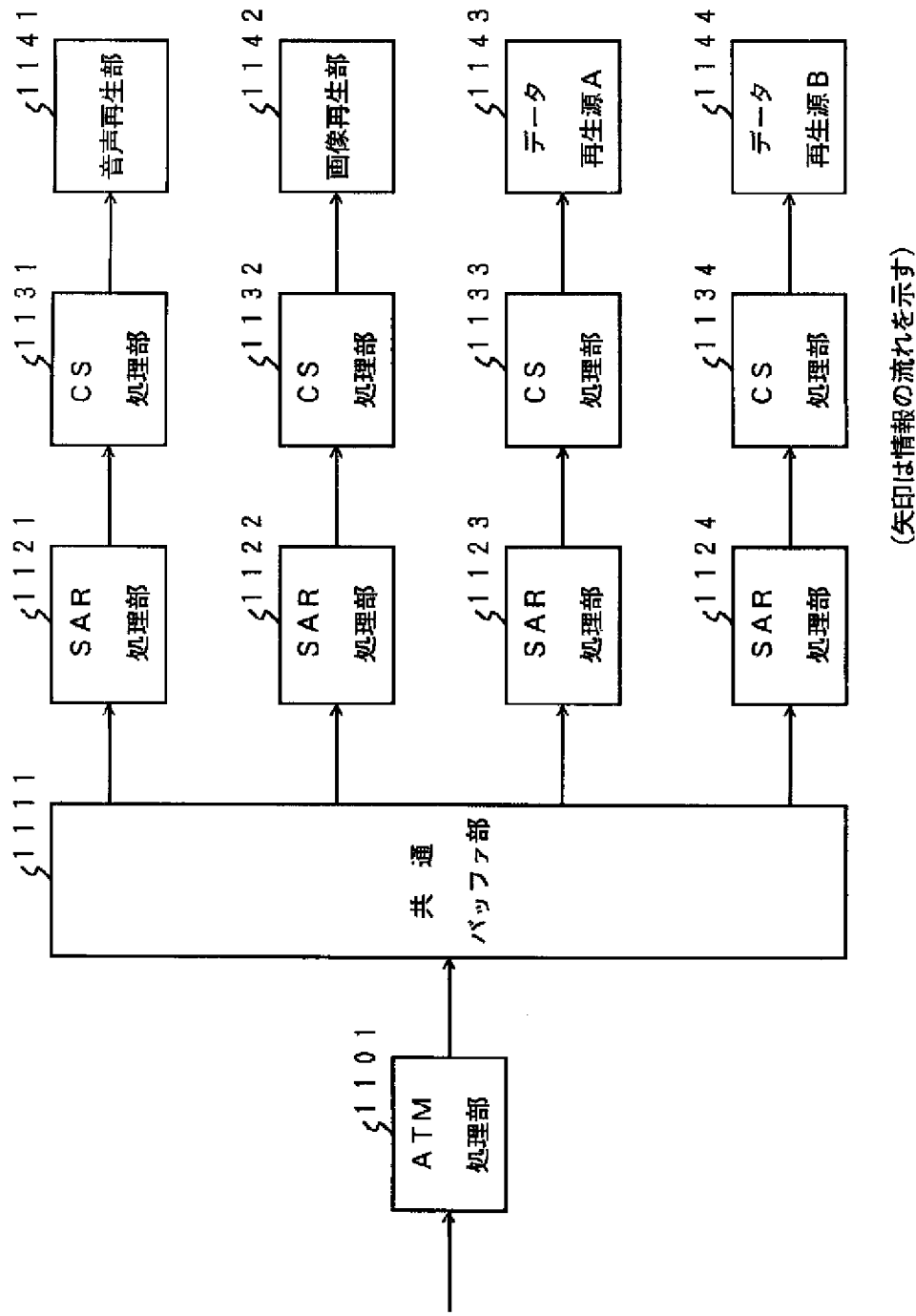
【図 2 5】



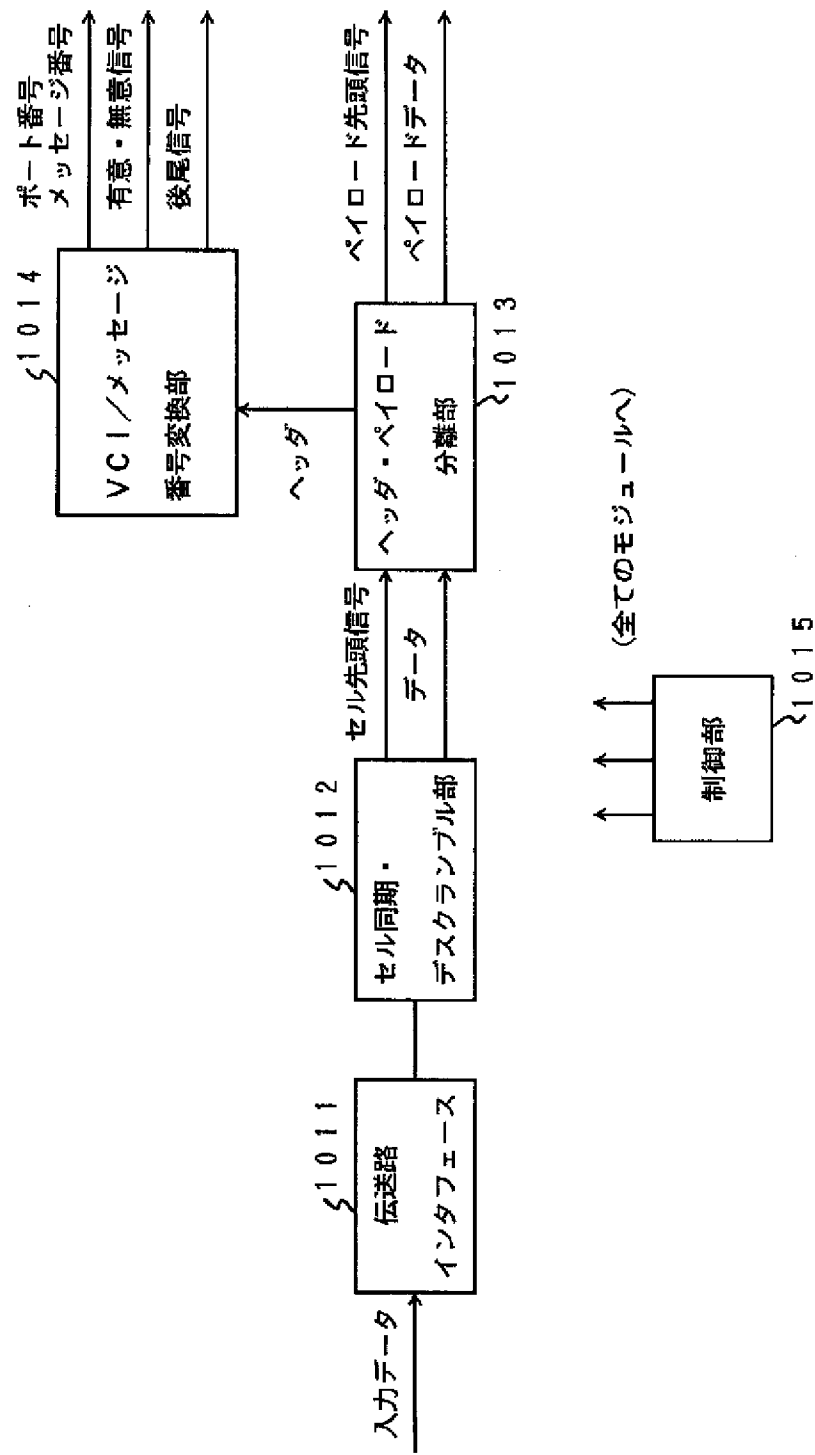
【図 3 7】



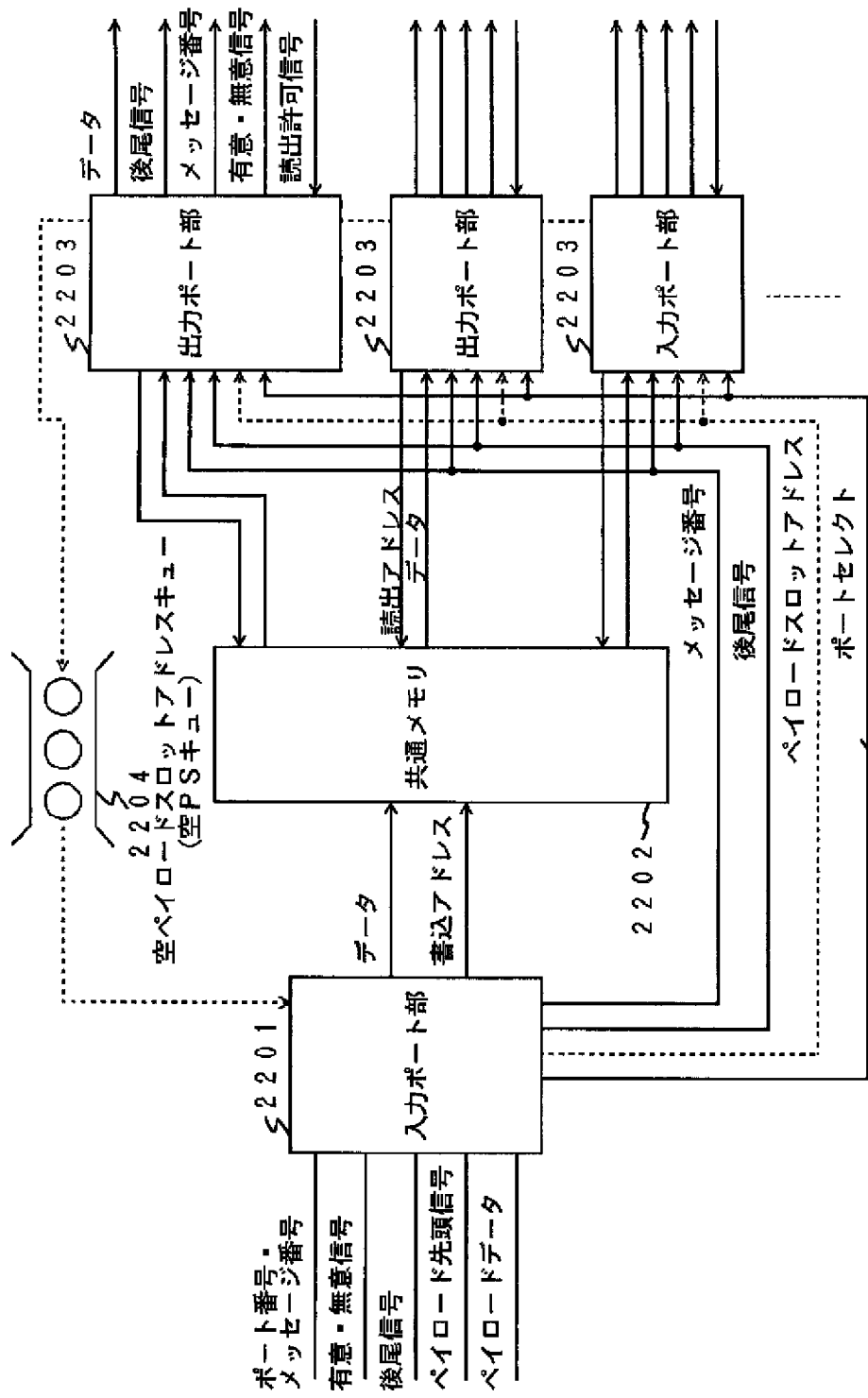
【図26】



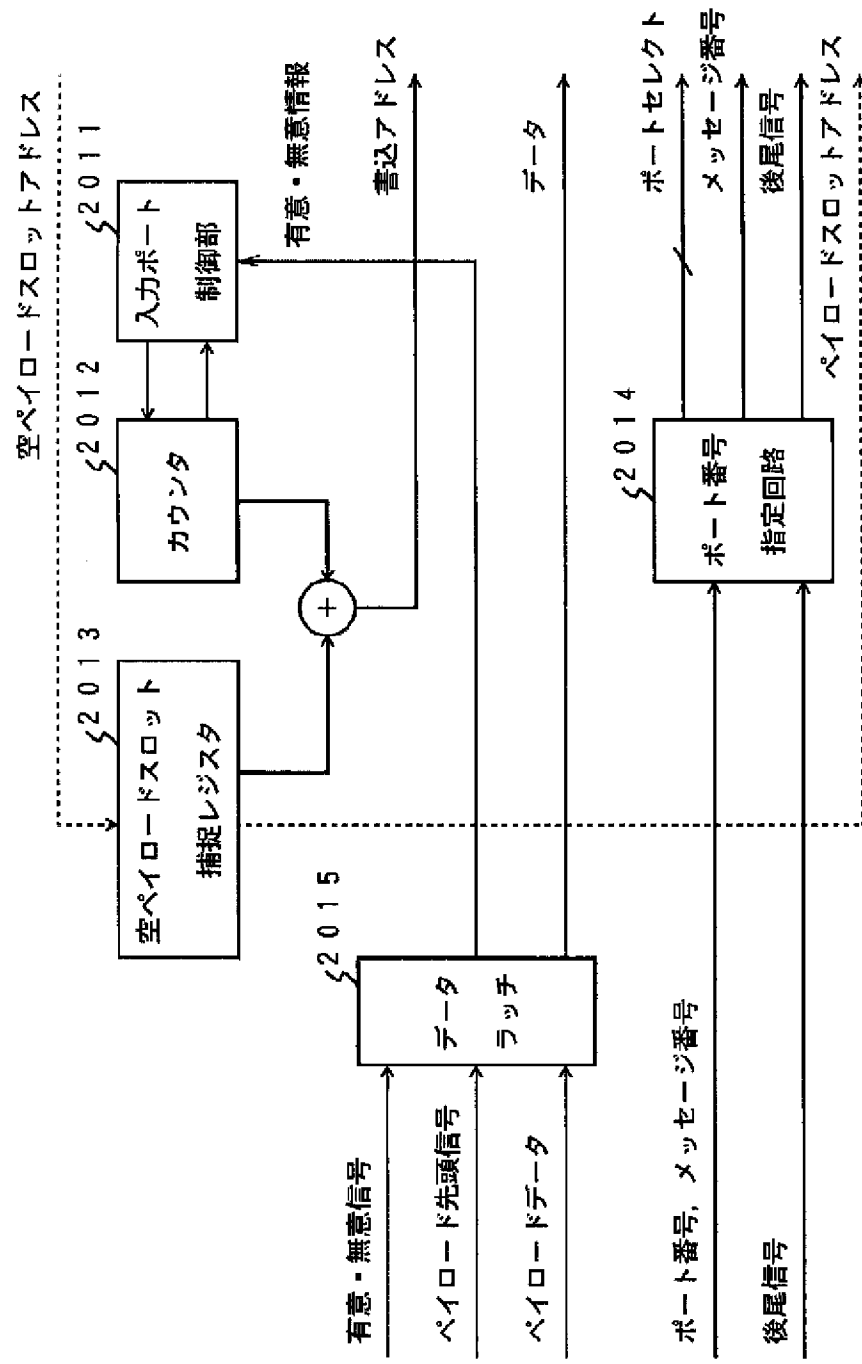
【図27】



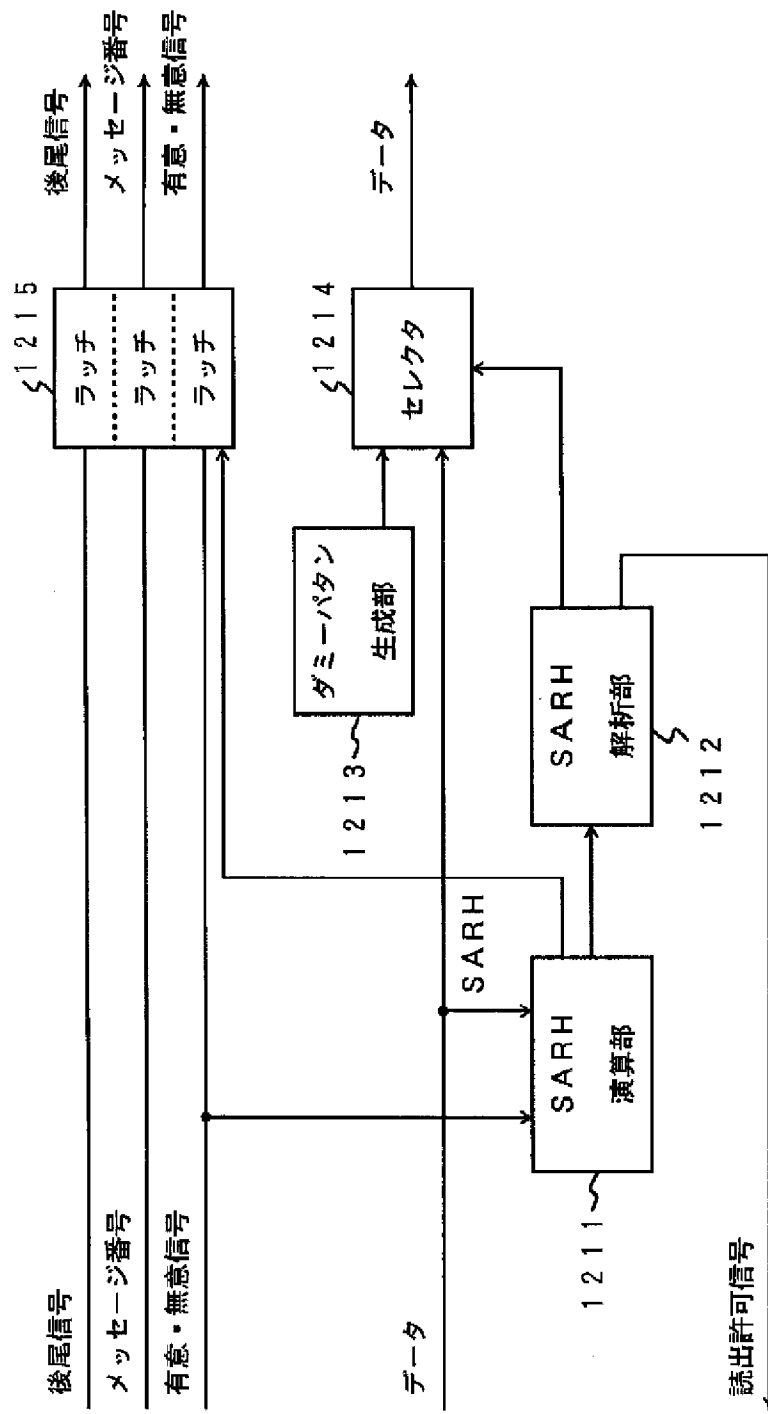
【図29】



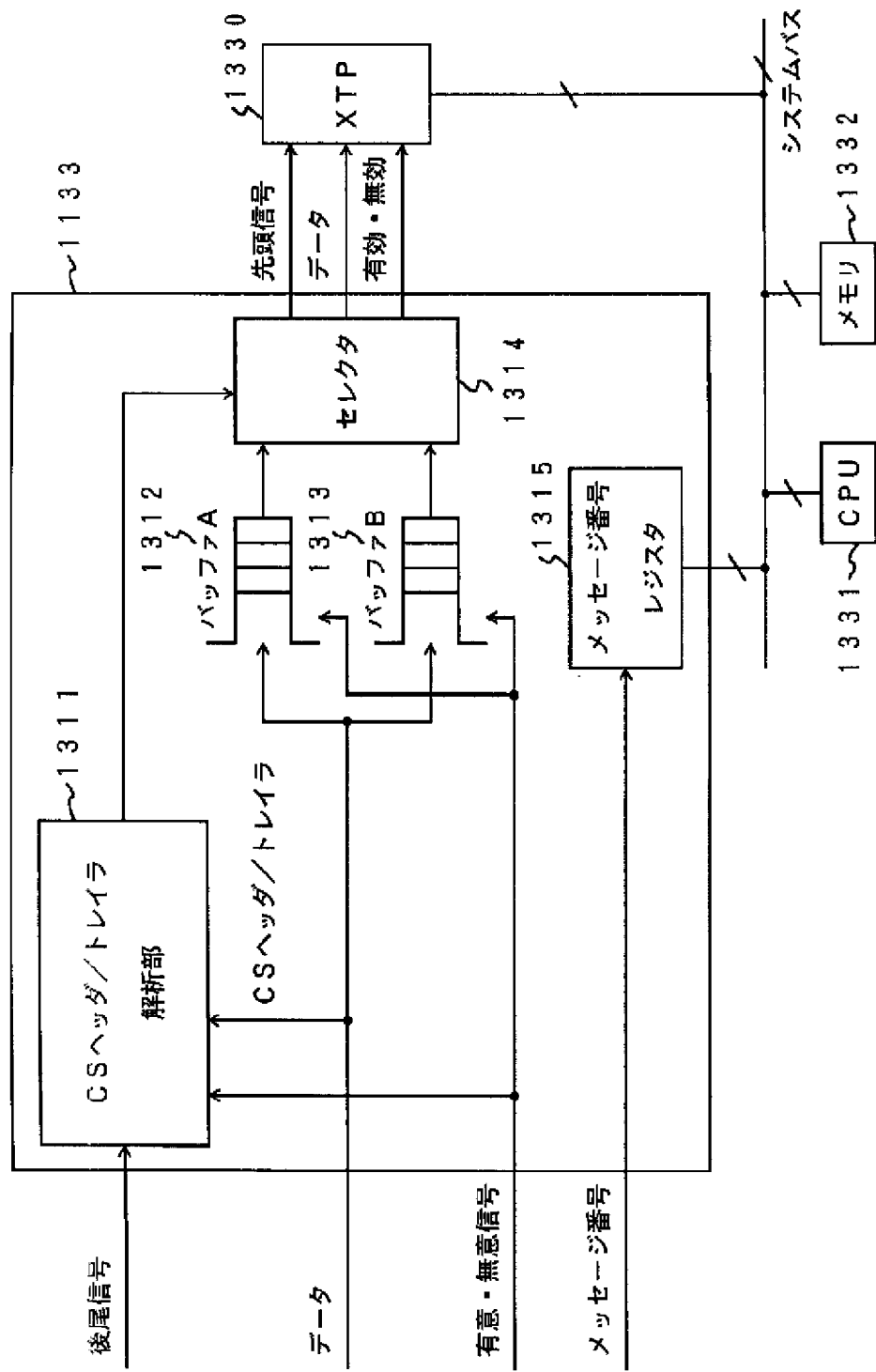
【図30】



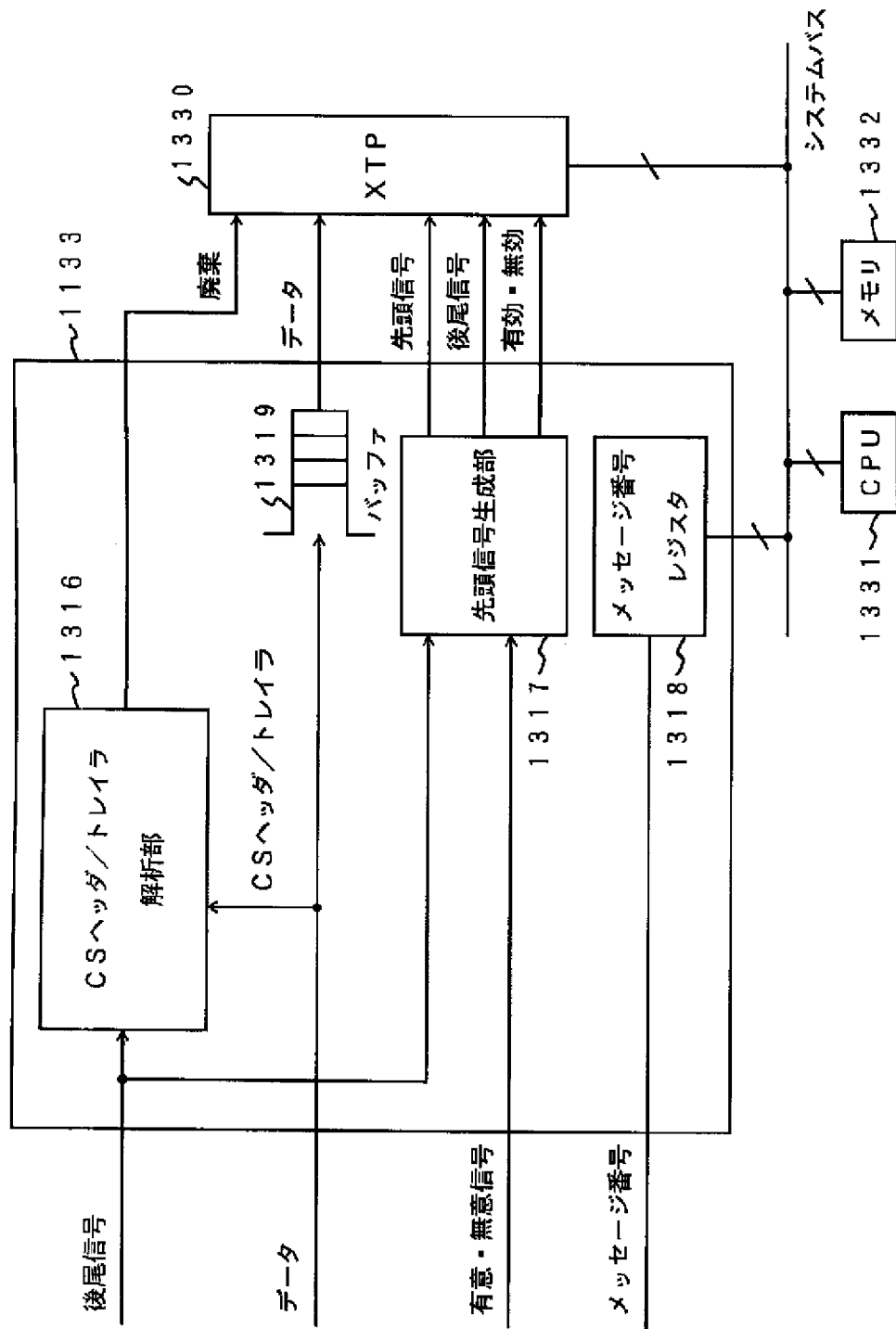
【図 33】



【図34】

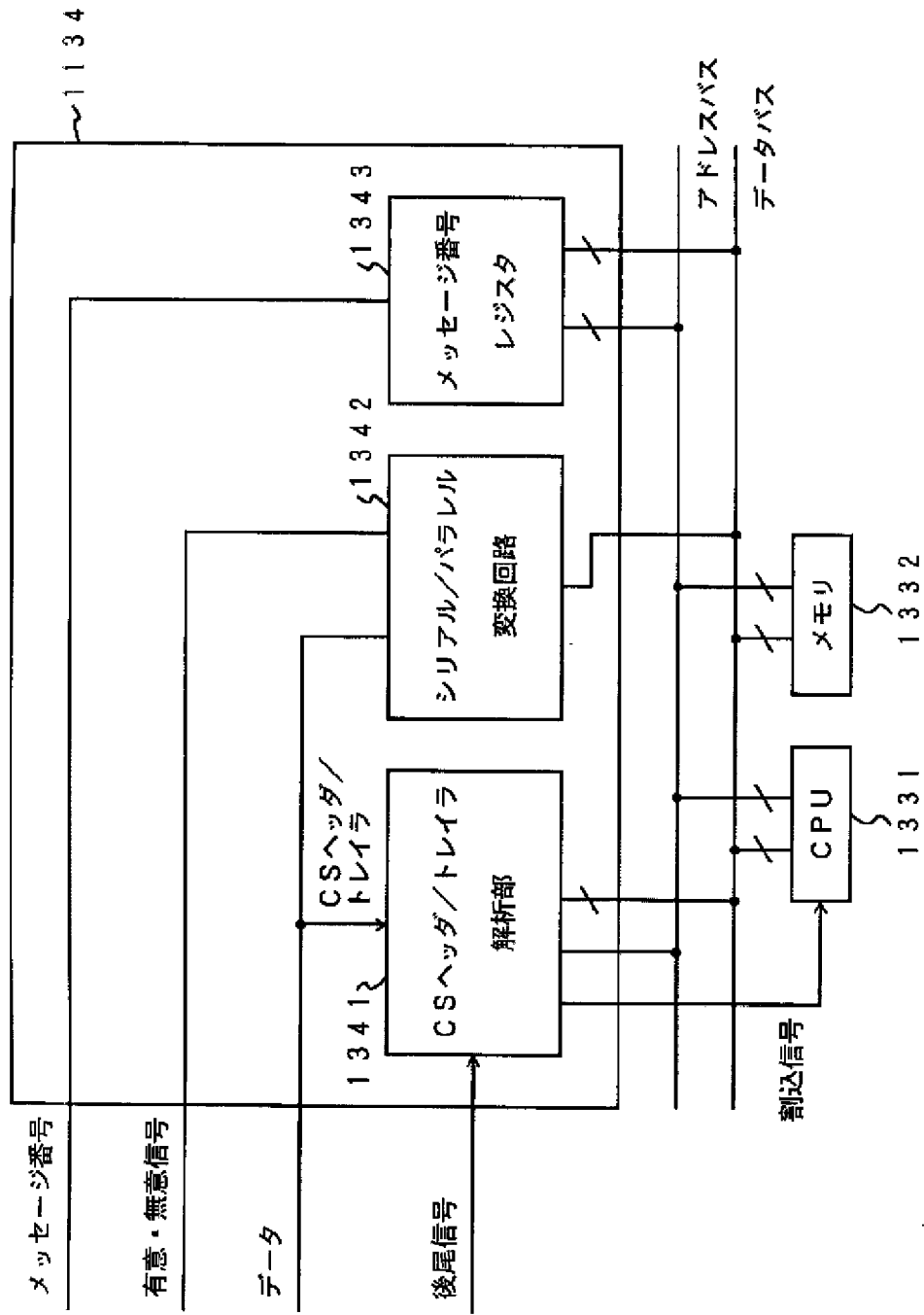


【図 35】

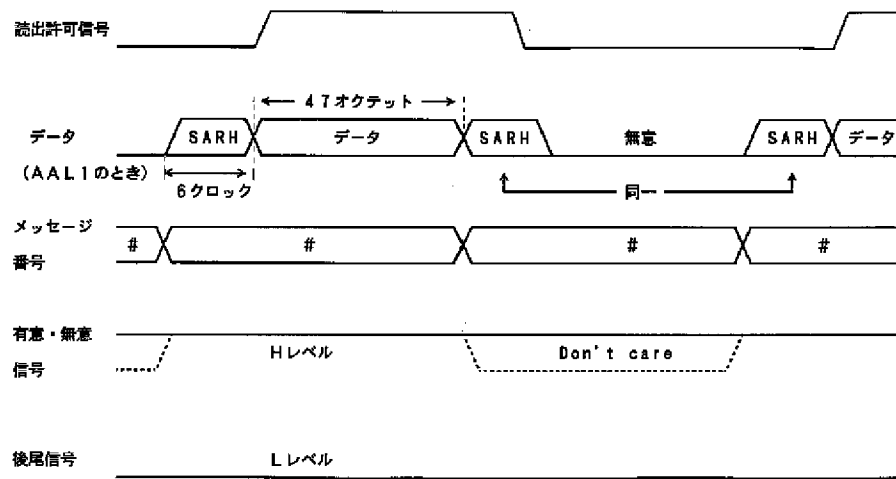




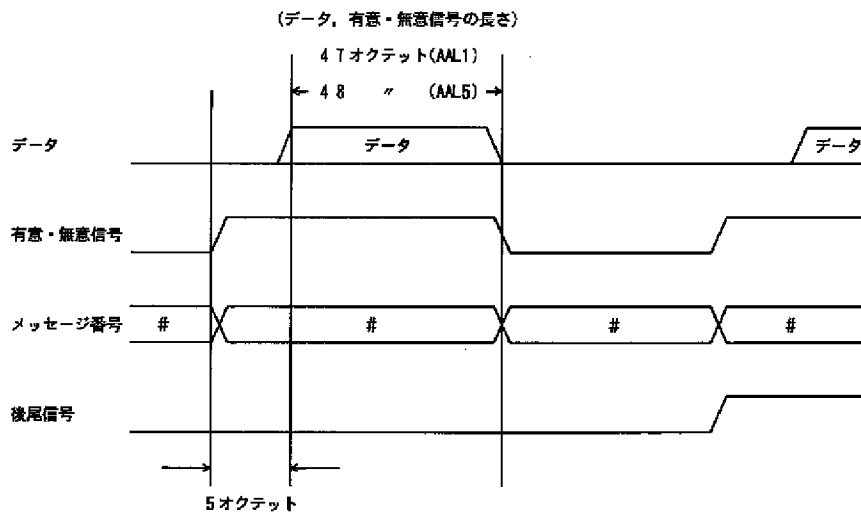
【図36】



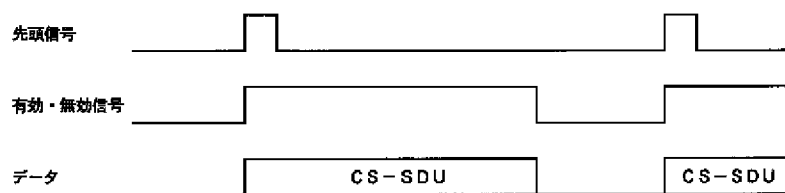
【図 3 8】



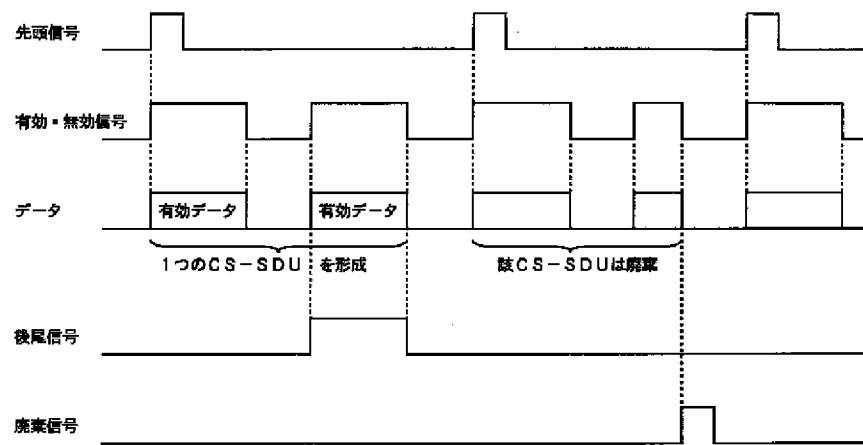
【図 3 9】



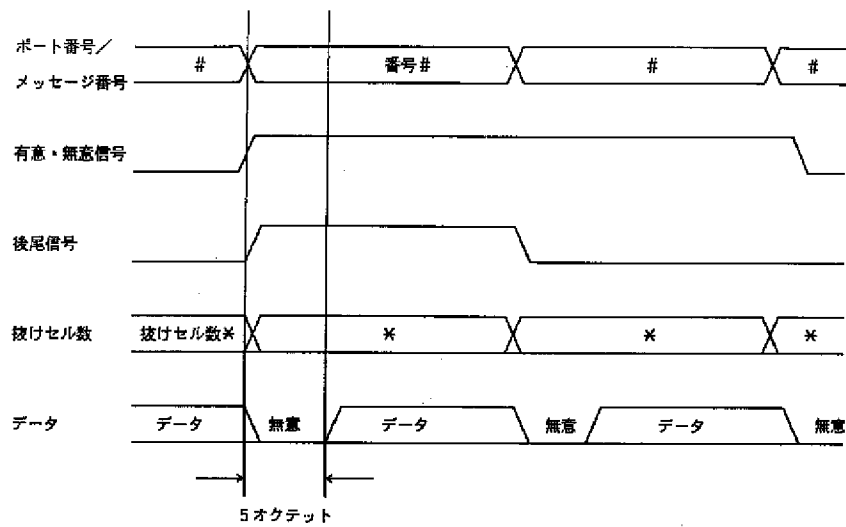
【図 4 0】



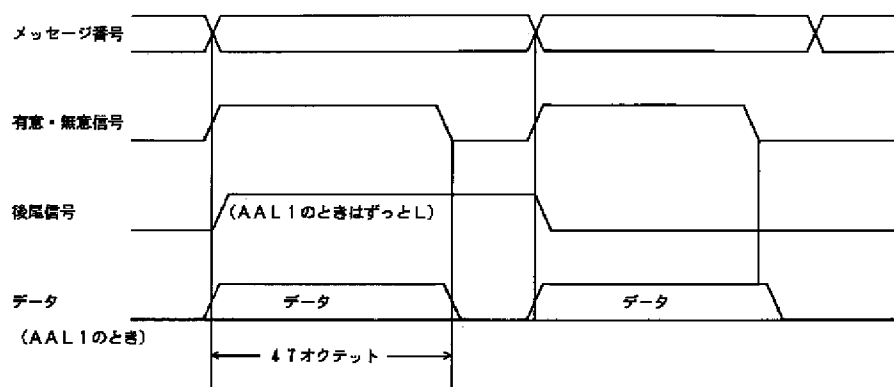
【図 4 1】



【図 4 7】

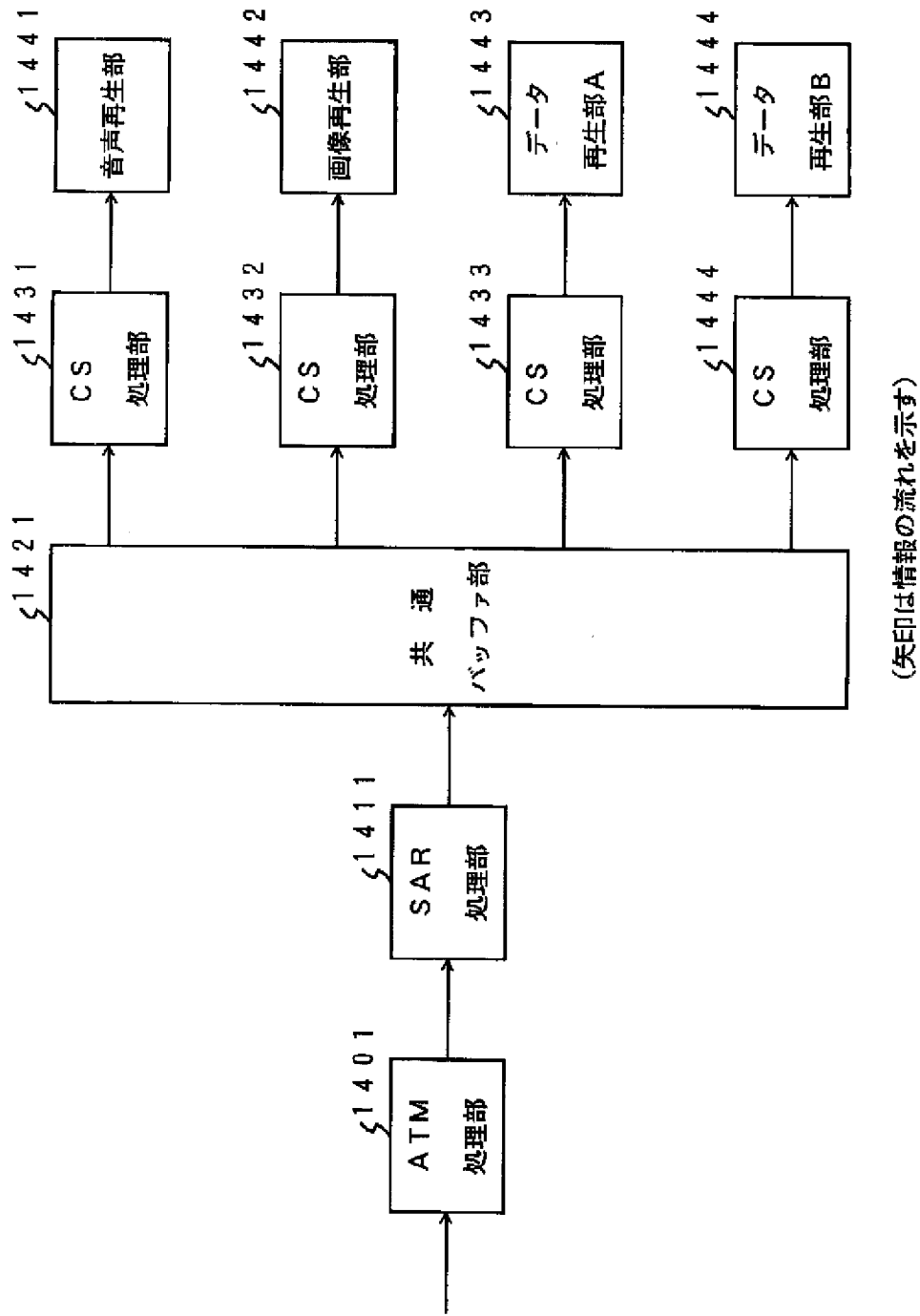


【図 4 8】

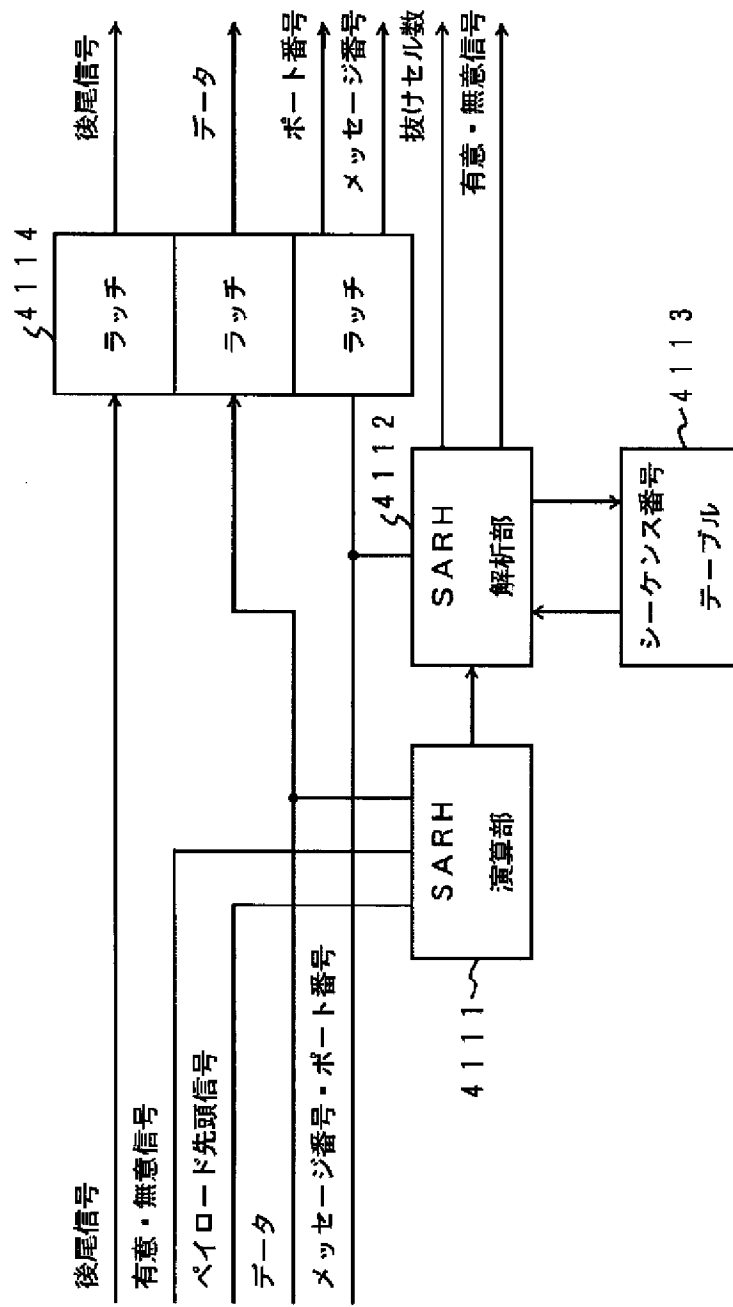


(AAL 5 のときは有意・無意信号のH区間／データ区間の長さが48オクテットとなる)

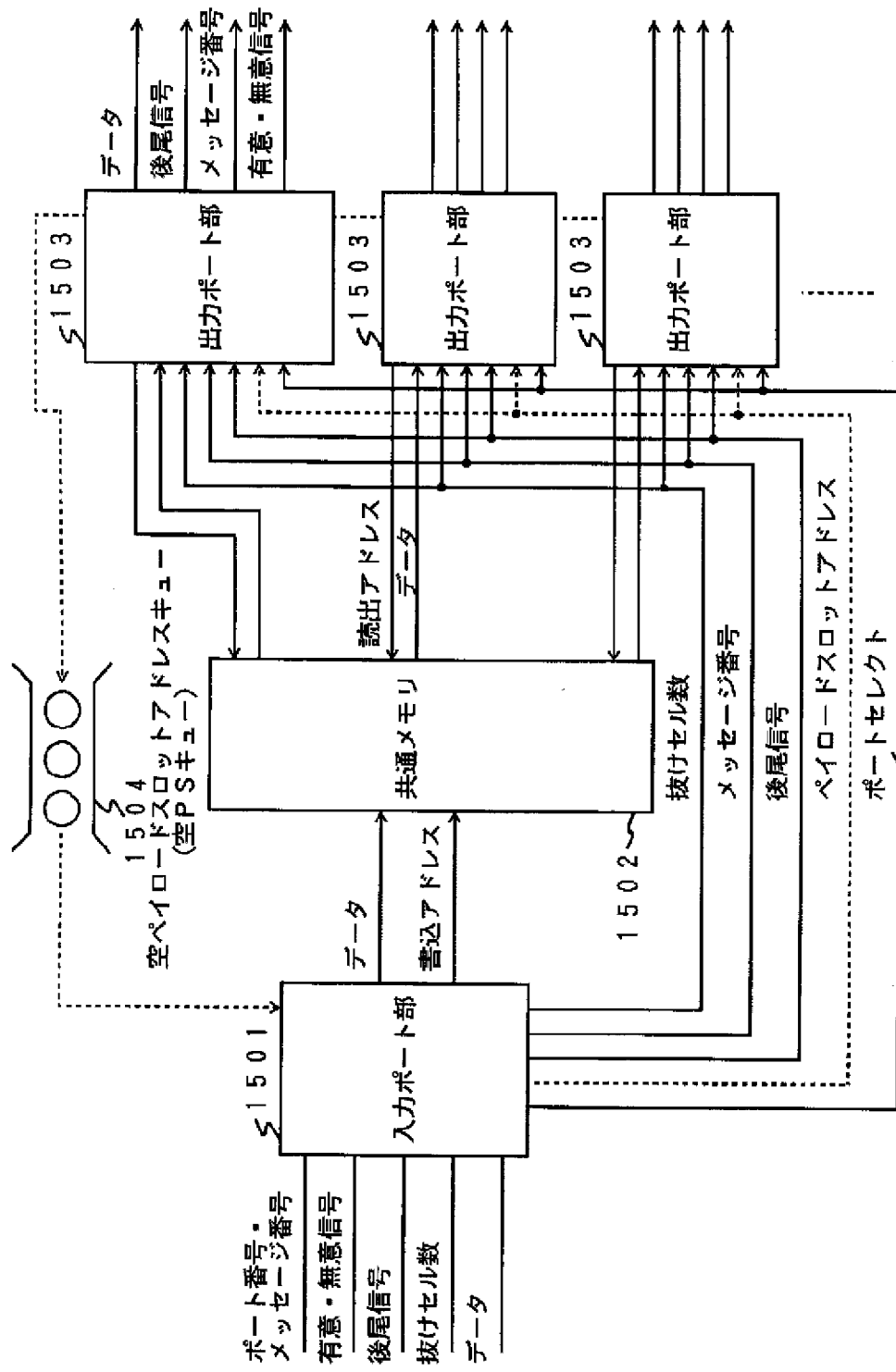
【図42】



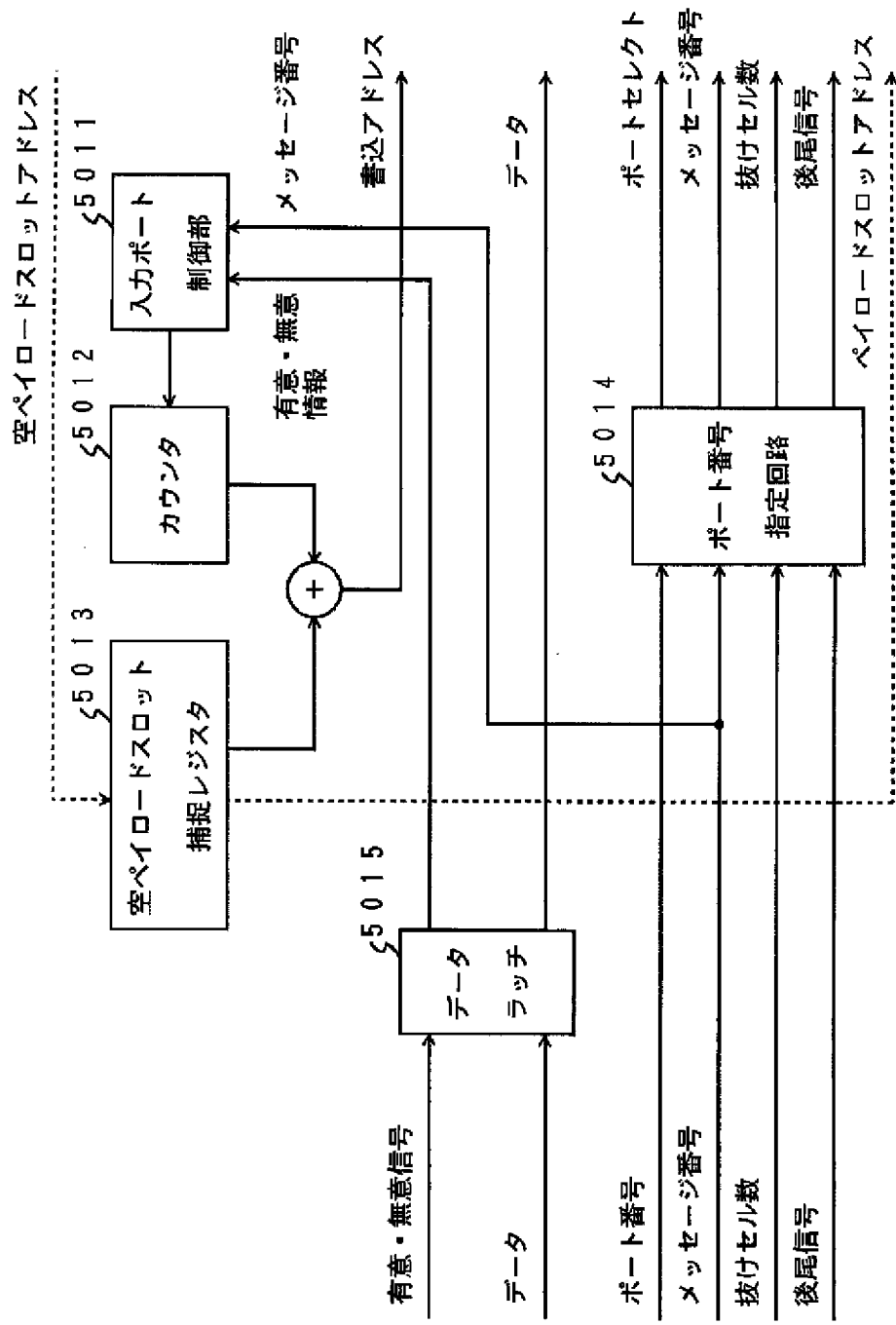
【図43】



【図44】



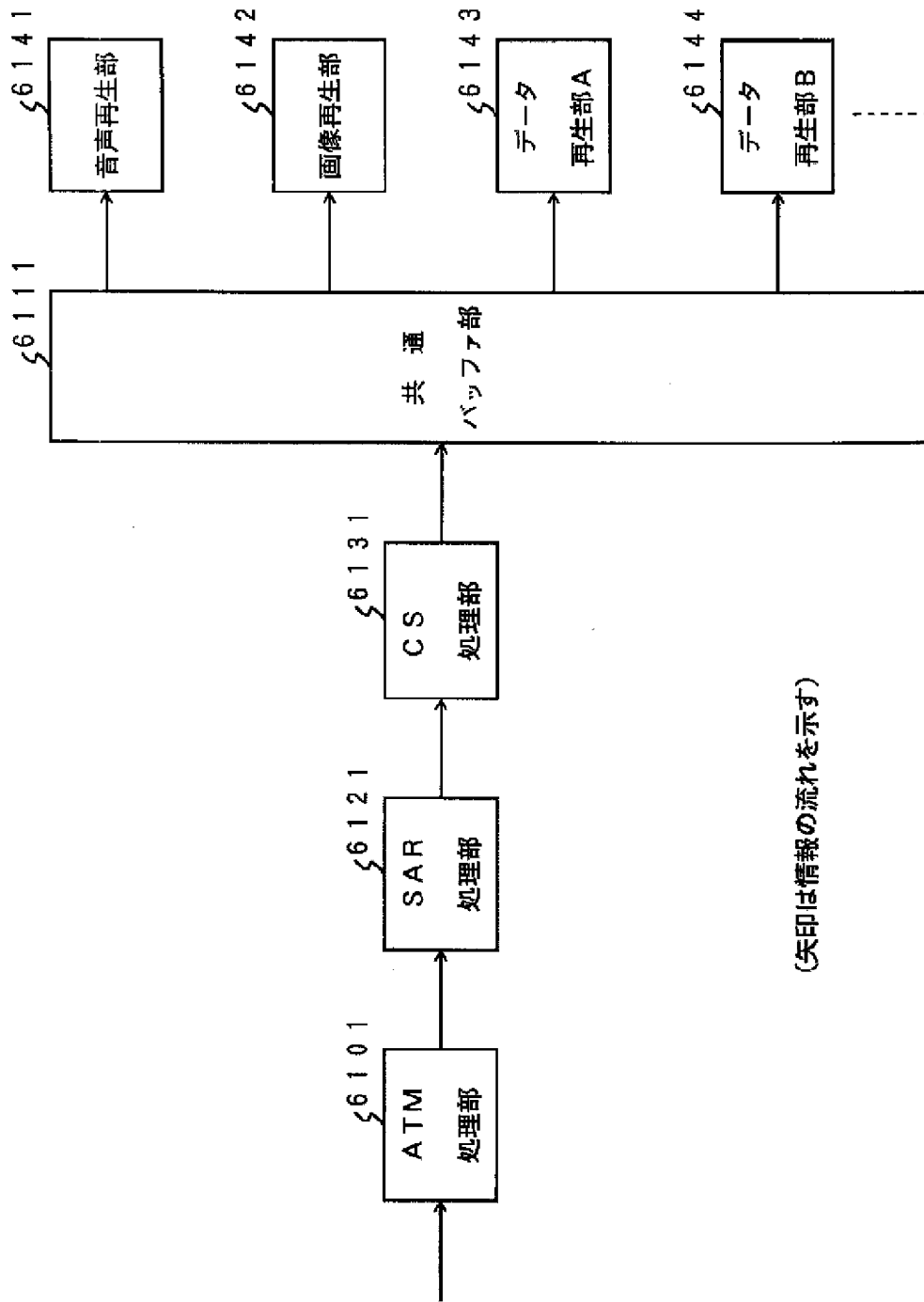
【図 45】



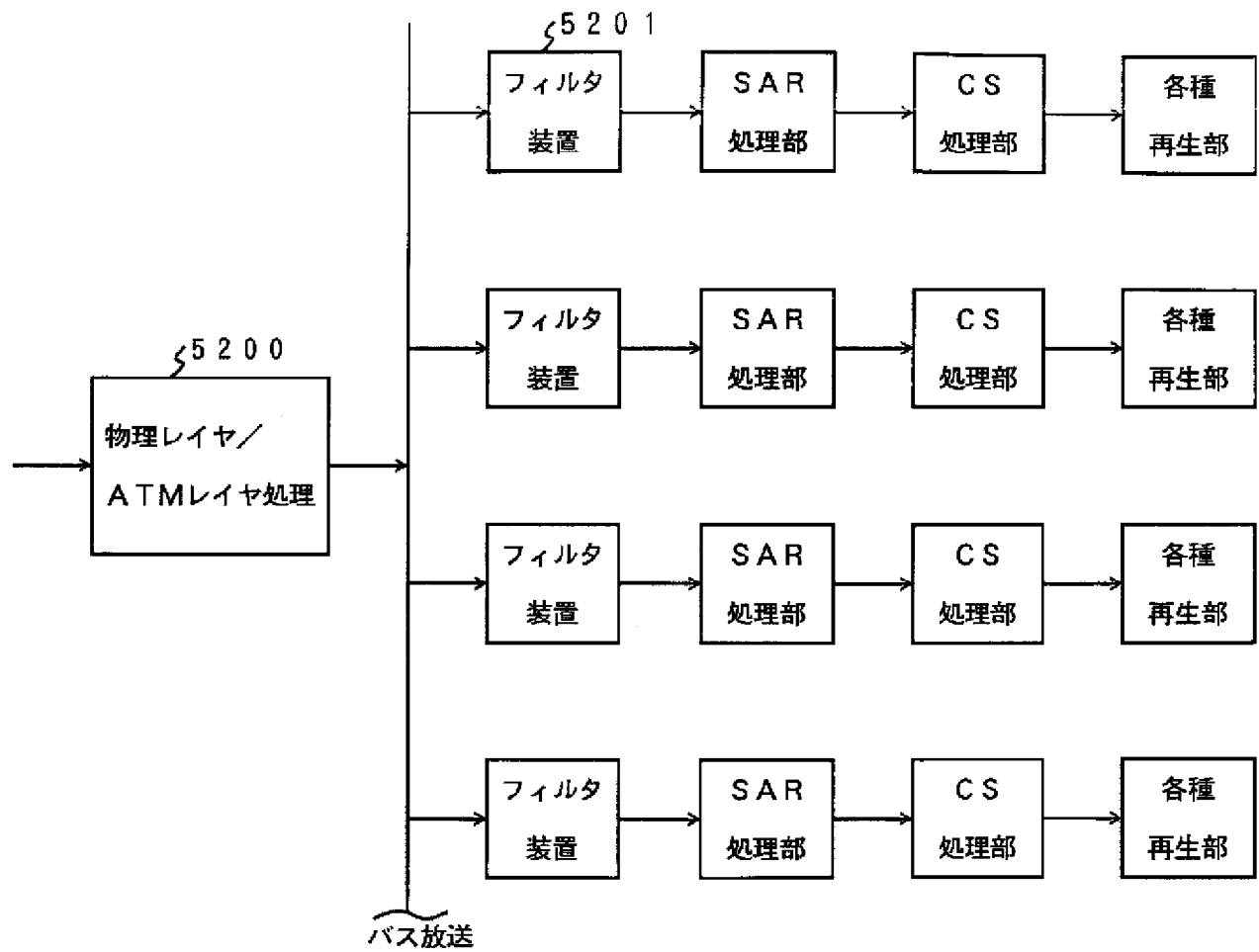




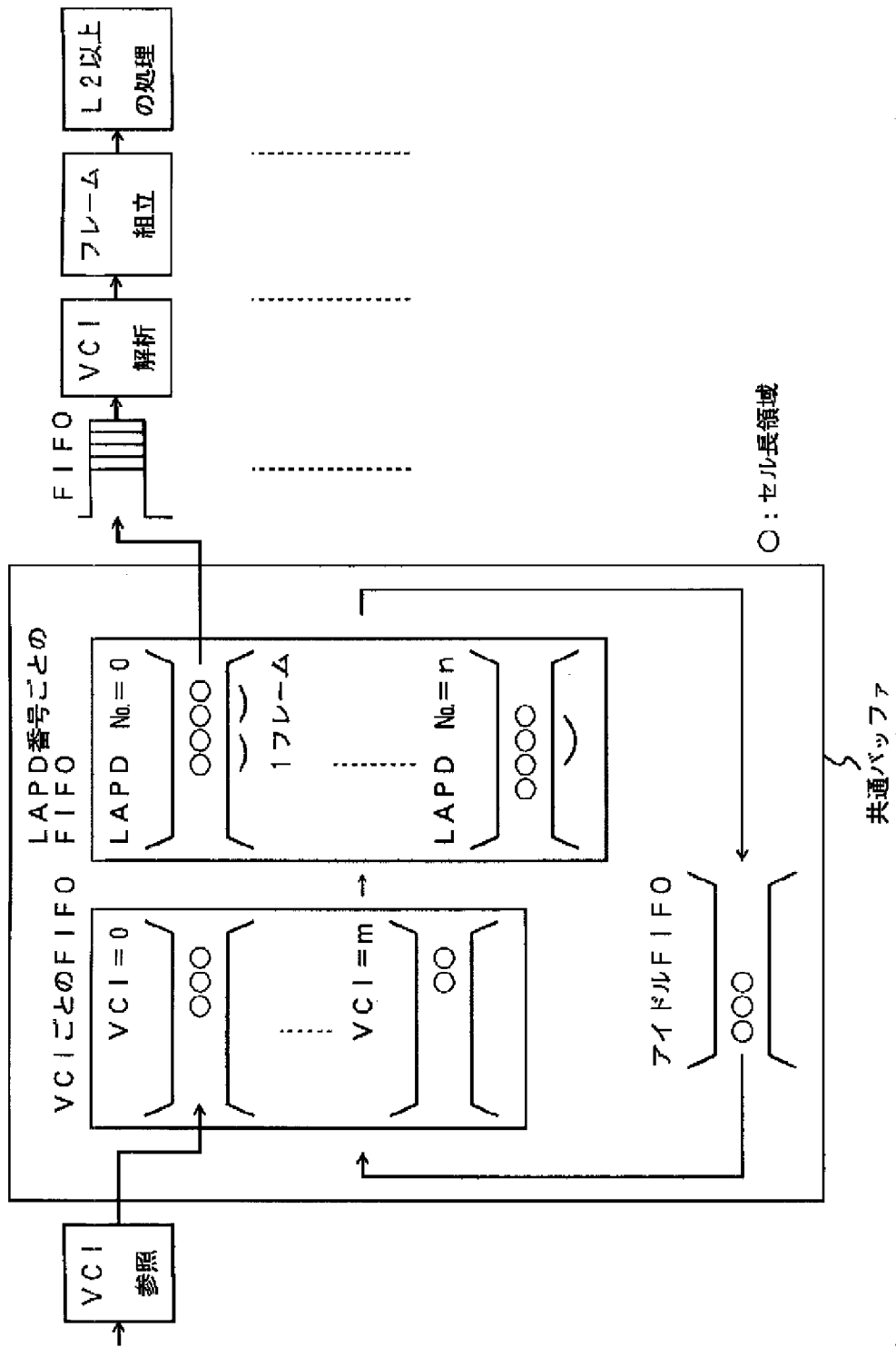
【図49】



【図50】



【図 5 1】



【図 5 2】

